

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-134411

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

H04N 5/44 H04B 1/18

H04B 1/26 H04N 5/52

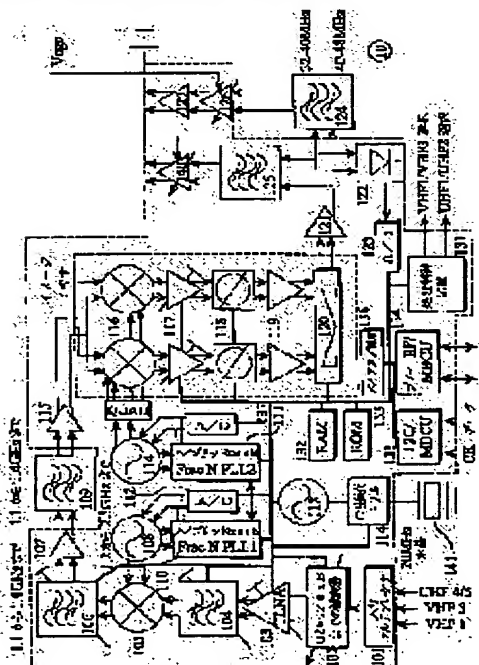
(21)Application number : 2002-210022 (71)Applicant : ZARLINK SEMICONDUCTOR LTD

(22)Date of filing : 18.07.2002 (72)Inventor : SAWYER DAVID ALBERT

(30)Priority

Priority number : 2001 200117591 Priority date : 18.07.2001 Priority country : GB

(54) TELEVISION TUNER



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a universal highly integrated television tuner.

SOLUTION: Input signals are supplied to an RF attenuator 102. A tracking LNA 103 supplies the signals to a tracking filter 104. The filtered signals are supplied to a 1st frequency changer 105, 108 and 110 which perform up- conversion to a high 1st IF. The resulting signal is filtered before being supplied to a 2nd frequency changer 111 to 120 performing down-conversion to a conventional 2nd IF. The resulting signals are supplied to an AGC detector 122 and 2nd IF filters 124, 125. The detector 122 detects the signal level upstream of the signal channel

filtering 124, 125. Both frequency changers comprise image eject mixers 105, 116 which receive local oscillator signals from tunable local oscillators 108, 114 controlled by hybrid mash fractional N phase locked loop synthesizers 110, 111.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-134411

(P2003-134411A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl. ⁷	識別記号	F I	ターマコード* (参考)
H 0 4 N 5/44		H 0 4 N 5/44	K 5 C 0 2 5
			L 5 C 0 2 6
H 0 4 B 1/18		H 0 4 B 1/18	E 5 K 0 2 0
1/26		1/26	F 5 K 0 6 2
			K

審査請求 有 請求項の数27 O L 外国語出願 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2002-210022(P2002-210022)

(22) 出願日 平成14年7月18日 (2002.7.18)

(31) 優先権主張番号 0 1 1 7 5 9 1

(32) 優先日 平成13年7月18日 (2001.7.18)

(33) 優先権主張国 イギリス (GB)

(71) 出願人 501323251

ザーリンク・セミコンダクター・リミテッ
ド

Zarlink Semiconduct
or Limited

イギリス、エスエヌ2・2キューダブリュ
ー、ウィルトシャー、スウィンドン、チェ
ニー・マナー

(74) 代理人 100062144

弁理士 青山 稔 (外2名)

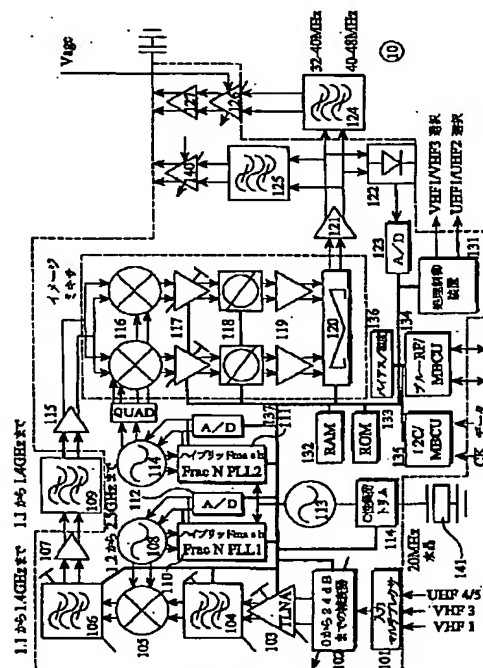
最終頁に続く

(54) 【発明の名称】 テレビジョンチューナ

(57) 【要約】

【課題】 汎用の高度に集積化されたテレビジョンチューナを提供する。

【解決手段】 入力信号はRF減衰器102に供給される。トラッキングLNA103はトラッキングフィルタ104に信号を供給する。フィルタリングされた信号は、高い第1のIFにアップコンバージョンする第1の周波数変換器105、108、110に供給される。結果的な信号はフィルタリングされ、その後従来第2のIFにダウンコンバージョンする第2の周波数変換器111-120に供給される。結果的な信号は、AGC検出器122と第2のIFフィルタ124、125に供給される。検出器122はフィルタ124、125の上流側の信号レベルを検出する。各周波数変換器は、ハイブリッドmashフラクショナルN PLLシンセサイザ110、111に制御される同調可能な局部発振器108、114からの局部発振器信号を受信する、イメージ除去ミキサ105、116を備えている。



【特許請求の範囲】

【請求項1】 複数のチャンネルを含むブロードバンド入力信号を受信する無線周波入力と、

上記チャンネルのうちの任意の選択された1つを、第1の中間周波数を含む第1の周波数帯域内に存在するように変換する第1の周波数変換器(105、108、110)と、

上記第1の周波数変換器(108、110)からの選択されたチャンネルを、第2の中間周波数を含む第2の周波数帯域内に存在するように変換する第2の周波数変換器(111、114、116-120)と、

上記選択されたチャンネルを通過させて、他のすべてのチャンネルを実質的に除去する単一チャンネルフィルタリング(124、125)と、

上記入力と上記第1の周波数変換器(105、108、110)との間の制御可能な減衰器(102)とを備えたテレビジョンチューナにおいて、

上記単一チャンネルフィルタリング(124、125)の上流側の信号の振幅にตอบสนองして上記減衰器(102)を制御する自動利得コントローラ(122)によって特徴付けられるテレビジョンチューナ。

【請求項2】 上記第1及び第2の周波数変換器(105、108、110、111、114、116-120)と、上記減衰器(102)と、上記コントローラ(122)とは、単一の集積回路基板上に物理的に配置されていることを特徴とする請求項1記載のチューナ。

【請求項3】 上記上流側の信号は、上記単一チャンネルフィルタリング(124、125)への入力信号であることを特徴とする請求項1又は1記載のチューナ。

【請求項4】 上記減衰器(102)は段階的に変化する減衰器であることを特徴とする先行する請求項のうちの任意の1つに記載のチューナ。

【請求項5】 上記第1及び第2の周波数変換器(105、108、110、111、114、116-120)の間の第1の中間周波フィルタ(106、109)は、上記第1の周波数変換器(105、108、110)からの選択されたチャンネルと、それに隣接する少なくとも1つの別のチャンネルとを通過させ、上記上流側の信号は、上記第1の中間周波フィルタ(106、109)の下流側に存在することを特徴とする先行する請求項のうちの任意の1つに記載のチューナ。

【請求項6】 上記上流側の信号は、上記第2の周波数変換器(111、114、116-120)の下流側に存在することを特徴とする請求項5記載のチューナ。

【請求項7】 上記第2の周波数変換器(111、114、116-120)の下流側の第2の中間周波フィルタ(124、125)によって特徴付けられる請求項5又は6記載のチューナ。

【請求項8】 上記第2の中間周波フィルタ(124、125)は、上記第2の周波数変換器(111、11

4、116-120)からの選択されたチャンネルを通過させ、上記第2の周波数変換器(111、114、116-120)によって変換された他のすべてのチャンネルを実質的に除去する周波数応答を有することを特徴とする請求項7記載のチューナ。

【請求項9】 上記第2の周波数変換器(111、114、116-120)の下流側の可変利得増幅器によって特徴付けられる先行する請求項のうちの任意の1つに記載のチューナ。

【請求項10】 上記可変利得増幅器は上記基板上に物理的に配置されていることを特徴とする、請求項2に従属した請求項9記載のチューナ。

【請求項11】 上記減衰器(102)と上記単一チャンネルフィルタリング(124、125)との間の、調整可能な利得を有する少なくとも1つのステージによって特徴付けられる先行する請求項のうちの任意の1つに記載のチューナ。

【請求項12】 上記少なくとも1つのステージは上記基板上に物理的に配置されていることを特徴とする、請求項2又は10に従属した請求項11記載のチューナ。

【請求項13】 上記調整可能な利得はプログラム可能であることを特徴とする請求項11又は12記載のチューナ。

【請求項14】 複数のチャンネルを含むブロードバンド入力信号を受信する無線周波入力と、

上記チャンネルのうちの任意の選択された1つを、第1の中間周波数を含む第1の周波数帯域内に存在するように変換し、ミキサ(105)と局部発振器(108)と位相ロックループシンセサイザ(110)とを備えた第1の周波数変換器(105、108、110)と、

上記第1の周波数変換器(108、110、110)からの選択されたチャンネルを、第2の中間周波数を含む第2の周波数帯域内に存在するように変換する第2の周波数変換器(111、114、116-120)とを備えたテレビジョンチューナにおいて、

上記シンセサイザ(110)は、ハイブリッドmashシグマデルタフラクショナルN位相ロックループシンセサイザであることを特徴とするテレビジョンチューナ。

【請求項15】 上記第1及び第2の周波数変換器(105、108、110、111、114、116-120)は、単一の集積回路基板上に物理的に配置されたことを特徴とする請求項14記載のチューナ。

【請求項16】 上記第2の周波数変換器は、ミキサ(116-120)と局部発振器(114)とハイブリッドmashシグマデルタフラクショナルN位相ロックループシンセサイザ(111)とを備えたことを特徴とする請求項14又は15記載のチューナ。

【請求項17】 上記第1の周波数変換器は、ミキサ(105)と局部発振器(108)とハイブリッドmashシグマデルタフラクショナルN位相ロックループシ

ンセサイザ(110)とを備えたことを特徴とする請求項1乃至13のうちの任意の1つに記載のチューナ。

【請求項18】 上記入力と上記第1の周波数変換器(105、108、110)との間に存在し、上記ブロードバンド入力信号中の少なくとも選択されたチャンネルを通過させるトラッキング無線周波フィルタ(104)によって特徴付けられる先行する請求項のうちの任意の1つに記載のチューナ。

【請求項19】 上記トラッキングフィルタ(104)は帯域通過フィルタであることを特徴とする請求項18記載のチューナ。

【請求項20】 上記トラッキングフィルタ(104)は段階的に変化される帯域通過フィルタであることを特徴とする請求項18又は19記載のチューナ。

【請求項21】 上記入力と上記トラッキングフィルタ(104)との間に存在するトラッキング低雑音増幅器(103)によって特徴付けられる請求項18乃至20のうちの任意の1つに記載のチューナ。

【請求項22】 上記低雑音増幅器(103)は、トラッキングで同調される低雑音増幅器であることを特徴とする請求項21記載のチューナ。

【請求項23】 上記第1の周波数変換器(105、108、110)はアップコンバータであり、上記第2の周波数変換器(111、114、116-120)はダウンコンバータであることを特徴とする先行する請求項のうちの任意の1つに記載のチューナ。

【請求項24】 上記第1の周波数変換器(105、108、110)は、上記ブロードバンド信号中の複数のチャンネルを、上記ブロードバンド信号の最高の周波数よりも高い周波数範囲に変換するように構成されたことを特徴とする請求項23記載のチューナ。

【請求項25】 上記第2の周波数変換器(111、114、116-120)はイメージ除去ミキサ(116-120)を備えたことを特徴とする先行する請求項のうちの任意の1つに記載のチューナ。

【請求項26】 複数の無線周波入力と、上記複数の入力のうちの任意の選択された1つを接続して、上記第1の周波数変換器(105、108、110)に所定の信号を供給するマルチプレクサ(101)とによって特徴付けられる先行する請求項のうちの任意の1つに記載のチューナ。

【請求項27】 上記第1の周波数変換器(105、108、110)はイメージ除去ミキサ(105)を備えたことを特徴とする先行する請求項のうちの任意の1つに記載のチューナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、テレビジョンチューナに関する。そのようなチューナは、例えば地上波又は衛星アンテナか、もしくはケーブル分配ネットワーク

からの任意のタイプの信号を受信するために用いられることがあり、多くの異なるタイプのアナログ又はデジタルフォーマットを有する信号を受信するように構成されることがある。そのようなチューナは、回路の大部分が、外付け部品をほとんどもたない単一の集積回路として実施されるように、高い集積度で実施されることが可能である。

【0002】

【従来の技術及び発明が解決しようとする課題】テレビジョンは、初めに、アナログ形式で生成された動画とそれに伴うサウンドトラックとを表す信号を、一般に無線周波数(RF)の複数の搬送波の振幅変調(AM)及び周波数変調(FM)を用いて伝送して、それぞれが異なる番組の情報を伝送する複数の異なるチャンネルを伝送する目的で発展させられた。適当な周波数スペクトラムが、世界の異なる地域で活動する放送会社に割り当てられ認可された。典型的には、3つの割り当てられた帯域が世界中に展開されている。すなわち、50MHzと90MHzの間のVHF1と、120MHzと220MHzの間のVHF3と、450MHzと900MHzの間のUHF4/5である。これらの帯域間の間隔は他のサービスに対して認可された。テレビジョン放送の帯域は、各チャンネルのチャンネル帯域幅によって分割された、複数の別個の搬送波周波数に細分された。テレビジョンは世界中で発展したので、異なる国と地域が、認可されたスペクトラム帯域内で、類似しているが固有の周波数帯域とチャンネル帯域幅と搬送波周波数の計画を採用した。8MHzと7MHzと6MHzのチャンネル帯域幅が、世界の異なる地域で採用された。初め、信号は単色情報を含んでいたが、後に、NTSC、SECAM及びPALのような標準が開発されて、カラーテレビジョン信号の伝送を提供した。

【0003】テレビジョン信号は、最初に、送信機から空中を介して無線で地方の受信アンテナに送信され、このことは、一般的に“地上波のオフエア伝送(terrestrial off air transmission)”と呼ばれる。別の発展が、50MHzから900MHzまでのスペクトラムにおけるケーブル分配ネットワークを介した信号の同様の形式の伝送において結果的に生じた。オフエア伝送とケーブル分配において、同様の変調フォーマット、チャンネル間隔、周波数スペクトラム及び搬送波割り当てが用いられているが、これらのシステムの伝送特性は大きく異なっている。オフエア伝送では、異なるチャンネルにおける受信される信号強度は、異なる複数の送信機からの距離に従って大きく変化することがある。受信される強い信号の個数は、通常は、すべての利用可能なチャンネル数のうちの小さな部分であるが、弱い信号と強い信号との間の比は、40乃至60デシベル(dB)のように大きくなる可能性がある。最も一般的な受信の問題は、大きな望ましくない信号が存在しているときに、所望の

信号を十分に受信しようとするにある。

【0004】ケーブルシステムでは、受信される信号は、すべての利用可能なチャンネルにわたって数デシベルのみ変化し、受信される信号の強度は、多くの場合、準完全(quasi perfect)画像の品質を保証するために必要な強度よりもずっと大きい。準完全画像は、観察者によって、同じフォーマットを用いた無限大の信号対雑音比を有する信号からのそれと同程度に良好であると判断された画像である。アナログフォーマットのカラーテレビジョンに対して、このことは、50dBよりも大きい

【0005】添付図面の図1は、ケーブル及び地上波のテレビジョン信号に対する典型的なスペクトラムの割り当てを示すとともに、テレビジョンチューナの入力におけるケーブル及び地上波信号の相対的レベルの表示度数を示す。特に、これは、地上波アンテナによって受信される複数の異なるチャンネル中の信号レベルにおける非常に大きな差と比較して、ケーブル分配ネットワークにおける複数の異なるチャンネルの相対的に一定な信号レベルを示している。ケーブル及び地上波信号の異なる特性にうまく対処するために、2つの異なるチューナアーキテクチャが広く適用され、デュアルコンバージョンのアーキテクチャはケーブルチューナに対して用いられ、シングルコンバージョンのアーキテクチャは地上波チューナに対して用いられている。

【0006】添付図面の図2は、従来型のシングルコンバージョンの地上波テレビジョンチューナのアーキテクチャに係る典型的な実施例を示している。地上波アンテナ200からの信号は、テレビジョンスペクトラムの異なる部分を3つの“フロントエンド”に通過させる、3つの固定された帯域制限フィルタ202、203及び204の入力に供給される。450から900MHzまでのUHF4/5帯域は、例えば添付図面の図3に示されたタイプのトラッキングフィルタ209に供給される。フィルタ209の出力はミキサ225に供給され、上記ミキサ225はまた局部発振器215からの信号も受信する。発振器215は、水晶制御された基準発振器208を提供された位相ロックループシンセサイザ201によって制御された可変容量ダイオード212を有している。VHF3帯域及びVHF1帯域は、それぞれトラッキング帯域通過フィルタ210及び211を介してそれぞれミキサ220及び227に供給され、上記各ミキサは、可変容量ダイオード213及び214をそれぞれ提供され、シンセサイザ201によって制御された局部発振器216及び217をそれぞれ有している。

【0007】トラッキングフィルタ209、210及び

211は相対的に高いQのタイプに属し、対応する局部発振器215、216及び217の周波数をトラッキングして、できるだけ多くの望ましくない信号を除去し、選択されたチャンネルを対応するミキサに通過させるように、製造中にアラインメントを調整される。それぞれのミキサは、所望されたチャンネル又は選択されたチャンネルを中間周波数(IF)に変換し、上記中間周波数は、典型的には、32MHzと40MHzの間であるか又は40MHzと48MHzの間にある。ミキサの出力は可変利得IF増幅器218に接続され、上記可変利得IF増幅器218の出力は、帯域通過タイプのIFフィルタ220に対して適当な整合を提供する別の増幅器219の入力に接続される。フィルタ220は所定の通過帯域を有し、上記通過帯域は、受信される信号の変調標準に従って適当に波形整形されてもよく、上記通過帯域は、選択されたチャンネルを通過させて、他のすべてのチャンネルを実質的に除去する。フィルタの出力は、インピーダンス整合と、フィルタ220の挿入損失を補償するための利得とを提供する、別の可変利得増幅器221に接続される。

【0008】増幅器221の出力は、典型的には、等化器とCOFDM復調器と順方向誤り訂正器(FEC)と自動利得制御(AGC)回路とアナログ-デジタル変換器(ADC)とを含むブロック222に供給される。AGC制御回路は、可変利得増幅器218及び221に、それらの利得を、自動利得制御を提供する従来の方法で制御するための制御信号を供給する。また、MPEG2復号化器224が提供されていてもよい。増幅器221の出力は、それに代わって、又はそれに加えて、アナログベースバンド復調器223に供給されてもよい。

【0009】図2は、地上波テレビジョンチューナにおいて従来達成されている集積度を示している。特に、図2に示されたチューナは、6個の個別の集積回路と多数の外付け部品とを備えている。当該集積回路は、シンセサイザ201と、ミキサ225、226及び227と、局部発振器215、216及び217と、増幅器218、219及び221と、回路ブロック222と、復調器223と、復号化器224とを備えている。このアーキテクチャは、相対的に多数の外付け部品を必要とし、トラッキングフィルタ209、210及び211と局部発振器212乃至217に対して、同様の回路のアーキテクチャと部品のセクションを用いることを必然的に伴う。また、許容可能な性能を保証するために、さまざまなトラッキング同調回路の注意深いアラインメントの調整が製造中に必要とされる。このアーキテクチャは、無線周波セクションにおいてより選択的であり、混変調及び相互変調を生じる後段のミキサ及び増幅器の非線形性のために、大きな望ましくないチャンネルが所望のチャンネルと干渉し得る以前に、それら大きな望ましくないチャンネルを低減するか又は除去する。また、トラッキ

ングフィルタのみが、イメージチャンネルを除去するために責務を有する。このアーキテクチャは、低いノイズフィギュアと適度な電力消費量とを有する、適当な信号処理能力の増幅器及びミキサを用いて実装されることが可能である。

【0010】添付図面の図4は、従来型の典型的なデュアルコンバージョンケーブルチューナを示す。例えば約100個のチャンネルを含んだ広帯域信号が、ケーブル分配ネットワークによってアンテナ入力400に供給され、複数のチャンネルを含む帯域外の信号を減衰する、固定されたフィルタ401（添付図面の図5により詳細に示されている。）に供給される。フィルタリングされた信号は、自動利得制御装置の一部を構成する、制御可能な減衰器402に供給される。減衰器402の出力は、ミキサ403と、局部発振器404と、水晶制御された基準発振器409を提供された位相ロックループシンセサイザ410とを備えた第1の周波数変換器に供給される。第1の周波数変換器は、典型的には1.1GHzと1.3GHzの間の第1の中間周波数に対して、周波数のアップコンバージョンを実行する。

【0011】ミキサ403の出力は、固定された帯域通過フィルタ404に供給され、上記固定された帯域通過フィルタ404の中心周波数は第1の中間周波数に存在し、上記固定された帯域通過フィルタ404は、第1の中間周波数における選択されたチャンネルと、いくつかの隣接したチャンネルとを通過させる通過帯域を有している。図示されたアーキテクチャでは、フィルタ404は増幅器405に接続され、上記増幅器405の出力は、別のフィルタ406を介して第2の周波数変換器に接続されている。

【0012】第2の周波数変換器もまた、ミキサ407と、局部発振器408と、位相ロックループシンセサイザ411とを備えている。第2の周波数変換器は周波数のダウンコンバージョンを実行し、選択されたチャンネルの周波数を、一般に30MHzと50MHzの間にある第2の中間周波数に変換する。ミキサ407の出力は、チューナのAGC装置の一部を構成する可変利得増幅器412に供給される。増幅器412の出力は、第2の中間周波数帯域通過フィルタ414に対するインピーダンス整合を提供するバッファ413に供給され、上記第2の中間周波数帯域通過フィルタ414の中心周波数は第2の中間周波数に存在し、上記第2の中間周波数帯域通過フィルタ414の通過帯域は、それが、あるいは何らかの通過帯域波形整形をするとともに、選択されたチャンネルを通過させ、第2の周波数変換器からの信号における他のすべてのチャンネルを実質的に除去するようになっている。フィルタ415の出力は、チューナのAGC回路の一部を構成するもう1つの可変利得増幅器415の入力に供給される。増幅器415の出力は、添付図面の図2中の222で示されたものと同様のタイプ

の回路ブロック416、417に供給され、MPEG2復号化器419及び／又はアナログベースバンド復調器418に供給される。

【0013】添付図面の図4に示されたアーキテクチャは、入力帯域の最高の周波数よりも高い第1の中間周波数を用いることによって、第1の周波数変換器におけるイメージチャンネルが入力帯域の外に存在するようにする。1.1GHzと1.3GHzの間の第1の中間周波数に対し、どのチャンネルが現在選択されているかに依存して、イメージチャンネルは2GHzと4GHzの間に存在する。第1のIFフィルタ404の前段のすべての信号処理ステージは、同時に100個ほどのチャンネルを処理することが必要とされ、ゆえに高い信号処理能力を持っていなければならない。

【0014】一般に、 $F1 + F2 + F3$ 、 $F1 + F2 - F3$ 、及び $F1 - F2 - F3$ の形式の、4000個と9000個の間の干渉する3次相互変調積の組み合わせが存在する。ここで、 $F1$ 、 $F2$ 及び $F3$ は、任意の選択されたチャンネル上に生じる、3つの望ましくないチャンネルの周波数を表す。同様に、また干渉を生じさせることがある $F1 + F2$ 及び $F1 - F2$ の形式の、多数の2次相互変調積が存在する。従って、第1のIFフィルタ404の前段の、ミキサ及びトラッキング低雑音増幅器（存在するとき）のような能動的ステージは、複合3次相互変調及び複合2次相互変調の干渉に係る許容可能なレベルを達成するために、非常に高い線形性を有する必要がある。生成されたすべての相互変調積は、入力帯域全体にわたる相対的に一定な信号レベルによって一様に重み付けされる。このアーキテクチャは、シングルコンバージョンのアーキテクチャよりも少ない受動的部品を必要とするが、必要な非常に高い信号処理を達成するために、より高い電力のステージの使用を必要とする。

【0015】再び、図4は、このアーキテクチャのチューナにおいて典型的に達成されている集積化のレベルを示している。従って、そのようなチューナは、第1の周波数変換器403、404と、第2の周波数変換器407、408と、シンセサイザ410及び411と発振器409と、増幅器412、413及び415と、ブロック416、417と、復調器418と、復号化器419とを備えた、7つの集積回路を典型的に備えている。

【0016】現在のデジタルテレビジョンのフォーマットを通じて利用可能なマルチメディアサービスの拡大しつつある範囲と、1つより多くのチャンネルを同時に復調可能であることに対する必要性とは、テレビジョンチューナのコスト及びサイズを低減する必要性を結果的にもたらした。複数のデジタルチャンネルが存在するときに複数のアナログチャンネルを受信して復調することとその逆のことに対する必要性は、ケーブル及び地上波のテレビジョンの両方に係る増大されたチューナ性能に対する必要性を結果的にもたらした。複数のディジ

タルチャンネルの復調は、複数のアナログチャンネルの復調よりも、チューナの位相ノイズ性能に対してより影響を受けやすいが、チャンネル間干渉と相互変調干渉とに対して許容範囲がより大きい。

【0017】低減されたコスト及びサイズに対する要求は、テレビジョンチューナの集積化のレベルを、特にチューナのほとんど全体がモノリシック集積回路に実装可能になるところまで、増大させるためのさまざまな試みをもたらした。このことの例は、米国特許第5,737,035号と米国特許第6,177,964号の明細書に開示されている。これらの明細書のそれぞれは、デュアルコンバージョンタイプの高度に集積化されたチューナを開示し、単一の集積回路のチューナを実現性のあるオプションにするためのさまざまな技術を提案している。しかしながら、そのように高度に集積化された装置は、一般に、許容できないほど多くの電力を消費する。か、あるいは、ディジタルで変調された信号に対する不十分な位相ノイズ性能、地上波の受信に対して不十分なノイズ及び相互変調性能、又は地上波ではない複数のチャンネルの不十分な阻止のような決定的な性能パラメータのうちの少なくとも1つを満たすことに失敗するかのいずれかである。

【0018】既知の無線周波チューナに係る別の例は、英国特許出願公開第2313008号、英国特許出願公開第2067865号、英国特許出願公開第2058500号、米国特許第5,200,826号、米国特許第4,581,643号、米国特許第553,264号、米国特許第6,177,964号、米国特許第6,118,499号、米国特許第5,204,972号、米国特許第4,491,976号、及び英国特許出願公開第2298750号の明細書に開示されている。位相ロックループ周波数シンセサイザの実施例は、米国特許第4,491,976号、国際出願公開WO第00/69074号、WO第99/31807号、WO第91,07824号、米国特許第5,055,802号の明細書と、「T. A. D. ライリー (T. A. D. Riley) 他、"フラクショナルN周波数合成におけるデルタ・シグマ変調 (Delta-sigma modulation in fractional-N frequency synthesis)", IEEEジャーナル・オブ・ソリッドステート・サーキット (IEEE Journal of Solid-State Circuits), 米国, 1993年5月, 第28巻, 第5号, p. 553-559」とに開示されている。

【0019】米国特許第6,118,499号と英国特許出願公開第2298750号の明細書は、単一チャンネルのフィルタリングの下流側(ダウンストリーム)の信号レベルを測定する自動利得制御装置を有する、テレビジョン及びモバイルラジオの信号のためのタイマをそれぞれ開示している。ゆえに、チューナの利得は、受信のために選択されたチャンネルの信号レベルに基づいて制御され、選択されたチャンネル以外の信号レベルによ

っては実質的に影響を受けない。

【0020】

【課題を解決するための手段】本発明の第1の態様によれば、添付された請求項1に定義されたようなテレビジョンチューナが提供される。

【0021】本発明の第2の態様によれば、添付された請求項14に定義されたようなテレビジョンチューナが提供される。

【0022】添付された他の請求項において、本発明の好ましい実施形態が定義される。

【0023】従って、世界中のケーブル及び地上波テレビジョンの標準に対して、ディジタル及びアナログで変調された信号に係るすべての性能の必要条件を満たすか又は超過するテレビジョンチューナを提供することができる。そのようなチューナは、ごく少数の外付け部品を必要とし、回路基板の小さな領域を占有することで、非常に高度に集積化されることが可能である。そのような集積回路チューナの電力消費量は非常に小さくされることができ、例えば1ワットよりも小さくされることができ。

【0024】そのようなチューナは、バルク (bulk) シリコン又はシリコン・オン・インシュレータ (SOI) 基板を用いたBiCMOS又はCMOS処理を用いて実装されることが可能である。例えば、チューナは、バルクシリコン上のディープサブミクロンCMOSとして実装されることが可能である。

【0025】本発明は、添付図面を実施例として参照してさらに説明される。

【0026】

【発明の実施の形態】図6に示されたチューナ10は、地上波アンテナ及びケーブル分配ネットワークを含む任意のソースから、アナログ又はディジタルのうちの任意の変調形式を用いたテレビジョン信号又は他のマルチメディア信号を受信することに使用可能である。当該チューナは、受信帯域全体のうちの複数の異なる部分を、例えば外部のフィルタリングを介して受信するための3つの入力を用意している。図6に示されたような地上波テレビジョン信号の場合には、入力は、VHF1帯域、VHF3帯域、及びUHF4/5帯域のためのものである。ケーブルのアプリケーションでは、ブロードバンドのケーブル信号の全体を受信する単一の入力が使用可能である。

【0027】上記3つの入力は、適当な入力を選択されることを可能にする、入力マルチプレクサ101に接続されている。マルチプレクサ101の出力は可変減衰器102に接続され、上記可変減衰器102は、例えば、複数の離散的ステップで0dBと24dBの間の減衰量を提供するように構成された、段階的に変化する(ステップ型又は段階型)減衰器を備えている。減衰器102は、減衰器102によって提供される減衰を制御する

ための、チップ上の制御バス137に接続されている。

【0028】減衰器102の出力は、高度に線形の伝達関数と、非常に小さな歪みレベルで高い信号レベルを処理する能力とを有する、トラッキング低雑音増幅器(TLNA)103の入力に接続されている。上記TLNAはまた、例えばその出力ステージにおいて、バス137を介して制御可能なフィルタリングを組み込んでいる。増幅器103の出力はトラッキング帯域通過フィルタ104に接続され、上記トラッキング帯域通過フィルタ104はバス137から制御信号を受信する。フィルタ104と、TLNA103中のフィルタリングとは、少なくとも受信のために選択されたチャンネルと隣接するチャンネルのうちのいくつかとを通過させる一方で、増幅器103の入力におけるブロードバンド信号中の他の信号を減衰するように制御される。フィルタ104は、能動的又は受動的なタイプに属することができ、モノリシック集積回路の基板上に集積化されている。フィルタリングの存在は望ましくない信号のレベルを低下させ、外付けのフィルタリング部品を必要とすることなく、相対的に大きな全体のコンポジット信号の処理性能が達成されることを可能にする。

【0029】フィルタ104と、TLNA103中のフィルタリングとは、段階的トラッキングのフィルタリング、連続的に同調されるフィルタリング、又は以上2つの組み合わせの形式であることができる。例えば、段階的トラッキングのフィルタリングの場合には、フィルタリングは、重複する帯域通過特性を有する複数のセクションを備え、選択されたチャンネルの周波数に従って適当なセクションが選択されることができ、連続的に同調されるフィルタリングの場合には、所定の帯域通過応答を有する単一のフィルタセクションが、ブロードバンド入力信号の周波数範囲全体にわたって同調可能である。それに代わって、複数の異なる範囲をカバーし、上記複数の範囲間で重複しているいくつかのセクションが、それぞれ連続的に同調されることが可能であり、選択されたチャンネルに従って適当なセクションが選択可能である。

【0030】フィルタ104の出力は、イメージ除去ミキサ105と、局部発振器108と、“ハイブリッド”マッシュグマデルタフラクショナルN位相ロックループシンセサイザ110と、アナログ/デジタル変換器(ADC)112とを備えた第1の周波数変換器に供給される。上記第1の周波数変換器は、選択されたチャンネルが第1の固定された中間周波数に変換されるように、周波数のアップコンバージョンを実行する。位相ロックループシンセサイザ110が、発振器108を同調するようにバス137を介して制御されることで、上記選択されたチャンネルは、世界中で使用されているすべての標準的な第1の中間周波数が配置されている1.1 GHzから1.4 GHzまでの範囲における任意の所望

の中間周波数に変換される。ADC112は、シンセサイザ110によって局部発振器108に供給される制御電圧を、対応するデジタルコードに変換し、これをバス137に供給する。

【0031】イメージ除去ミキサを第1のミキサ105として用いることは、チューナの性能において改善をもたらす。そうでなければ、イメージチャンネルに存在するノイズ及び任意の信号がミキサの出力に存在し、このことはチューナのノイズ性能を低下させる。また、ミキサ105の出力における増大した望ましくないエネルギーは、1つ以上の後続するステージに係るダイナミックレンジに対して有害な影響を有する。これらの不都合は、イメージ除去ミキサの使用によって克服される。

【0032】ミキサ105の出力は、基板上に形成された第1の中間周波フィルタ106に供給される。フィルタ106は帯域通過型に属し、任意の所望される標準的な(又は他の)第1の中間周波数に対してアラインメントを調整可能であるように、バス137を介して制御される調整可能な中心周波数を有している。フィルタ106は、第1の中間周波数における所望のチャンネルと、選択されたチャンネルの両側の2つ乃至4つのチャンネルのようないくつかの隣接するチャンネルとを通過させるのに十分に広い一方で、ミキサ105からの出力信号における他のすべてのチャンネルを減衰させるか又は除去させる通過帯域を有している。

【0033】フィルタ106の出力は、非常に高いダイナミックレンジと良いノイズ性能とを有する増幅器107の入力に供給される。増幅器107の出力は、外付け部品に対する集積回路の接続部として利用可能であり、図示されたように、集積回路の外に配置されたもう1つの第1の中間周波フィルタ109に接続されてもよい。例えば、フィルタ109は、セラミック結合型(ceramic coupled)共振器又は表面弾性波(SAW)デバイスによって実施されてもよく、1.1 GHzと1.4 GHzの間の中心周波数を有する帯域通過型に属する。フィルタ109は、選択されたチャンネルといくつかの隣接するチャンネルとを通過させ、増幅器107からの出力信号に存在する他のすべてのチャンネルを、例えば40 dBのそのようなチャンネルの相対的な減衰量を提供することによって減衰させるか又は除去するタイプに属するものでもよい。それに代わって、フィルタ109は、それが第1の中間周波数における選択されたチャンネルのみを通過させ、他のすべてのチャンネルを実質的に除去するような、単一チャンネルのフィルタであってもよい。

【0034】フィルタ109の出力は集積回路のもう1つの接続部に接続され、上記接続部は、次いで、バッファステージ又は増幅器115の入力に接続されている。増幅器107及び115に係る、インピーダンスのよう

て使用するための標準的なフィルタの必要条件に適正に合致し、フィルタの挿入損失を補償するために適当であるように構成される。第1の中間周波数におけるより少ないフィルタリングが許容可能である実施形態では、フィルタ109は省略されてもよく、増幅器107の出力はステージ115の入力に接続されて、第1の中間周波フィルタリングはチップ上のフィルタ106によって実行される。

【0035】ステージ115の出力は、局部発振器114と、“ハイブリッド”マッシュシグマデルタフラクショナルN位相ロックループシンセサイザ111と、ADCとを備えた第2のイメージ除去ミキサに接続されている。局部発振器114は、同相及び直交位相の局部発振器信号を、直交位相回路QUADを介してI及びQミキサ116に供給する。ミキサ116の出力は、調整可能なI及びQ利得ステージ117の入力に接続され、上記I及びQ利得ステージ117の利得はバス137を介して制御可能である。ステージ117の出力は、1対のプログラム可能な中間周波全通過ヒルベルト位相シフトフィルタ118に接続され、上記中間周波全通過ヒルベルト位相シフトフィルタ118の出力は、各増幅器ステージ119を介して加算器120に接続されている。フィルタ118の特性と、加算器120に印加されるI及びQ信号の相対的な重み付けとは、バス137を介して調整可能であり、又はプログラム可能である。

【0036】シンセサイザ111は固定された周波数の基準にはならず、代わりに、それはバス137を介して制御され、任意の所望された第2の中間周波数が、例えば30MHzと50MHzの間で選択されることを可能にする。特に、ヨーロッパのテレビジョン標準では、第2の中間周波数は一般に32.25MHzと39.25MHzの間であるのに対して、対応する米国の標準は、一般に、第2の中間周波数を42.55MHzと48.25MHzの間にしている。シンセサイザ111を適当にプログラムすることによって、相対的に大きな範囲内にある任意の第2の中間周波数が、チューナのアプリケーションに従って設定可能である。

【0037】第2のイメージ除去ミキサの出力は、増幅器又はバッファステージ121の入力に接続され、上記増幅器121は、1つ以上の第2の中間周波フィルタを駆動するために適当な出力特性を提供する。ステージ121の出力は、チップ上の第2の中間周波フィルタ125と、外部の第2の中間周波フィルタ124に対する基板の接続部とに接続されている。チップ上のフィルタ125は固定された特性を有するのに対して、チップ外のフィルタ124は、チューナの特定のアプリケーションの必要条件に従って選択されることが可能である。これらのフィルタのそれぞれは、所望の第2の中間周波数における中心周波数と、選択されたチャンネルを、あるいは受信信号の変調標準に対して適当な周波数波形整形を

して通過させる通過帯域とを有し、第2の周波数変換器の出力信号における他のすべてのチャンネルを実質的に除去する、帯域通過型に属する。チップ上のフィルタ125の出力は、可変利得増幅器140を介して、アプリケーションに従って1つ以上の復調器に対する接続部となる、当該集積回路の出力接続部に接続される。内部又はチップ上のフィルタ125は、例えば復調器の集積回路内のアナログ-デジタル変換器における、チューナからの出力信号の変換に続いて、チャンネルのフィルタリングがデジタル領域において完了される、ケーブルチューナのような多くのアプリケーションに対しては十分である。地上波テレビジョンのようなより要求のきびしいアプリケーションに対しては、より高度な選択性とより高度な信号処理を提供するように、外部又はチップ外のフィルタ124が使用されてもよい。当該集積回路は、フィルタ124の出力に対する接続部のための入力とを有し、この入力は、可変利得増幅器126と出力バッファ127とを介して、チューナの別の出力に接続されている。図6に示されたように、可変利得増幅器126は、例えばチューナの出力が接続されている復調器によって制御される、自動利得制御装置の一部を構成する外部電圧V_{agc}を受信するように接続されている。増幅器140の利得は、同様の方法で制御されてもよい。

【0038】ステージ121の出力は、信号の振幅又はレベルを検出し、自動利得制御を提供するための検出器122に接続されている。検出器122によって検出されたレベルは、デジタル-アナログ変換器123に供給され、上記デジタル-アナログ変換器123は、減衰器102の減衰を制御するように、対応するデジタルコードをバス137に供給する。しかしながら、必要とき又は所望されるときには、より複雑な自動利得制御(AGC)方法が使用可能になるように、バス137を介してデジタルコードは利用可能であり、減衰器102の制御入力にアクセス可能である。

【0039】シンセサイザ110及び111は、チップ外の20MHz水晶141に接続された水晶制御発振器113の形式で、共通の周波数基準を提供される。水晶は、バス137を介して制御される、チップ上の容量性負荷トリミング装置114を提供されている。特に、容量性負荷の提供は、発振器113の周波数に対してトリミング又はアラインメントを調整するようにプログラムされていることが可能である。

【0040】当該集積回路は、その上に温度センサ136が形成されていることが可能であり、上記温度センサ136は基板の温度をモニタリングし、また、外部フィルタ109のような隣接する部品の温度の表示度数も与える。処理制御装置131は、フィルタ109の中心周波数について温度の任意の変化に対する補償を提供することを含む、さまざまな制御動作を実行する。特に、装置131は、フィルタ109の中心周波数におけるいか

なる変化も補償するようにシンセサイザ110及び111を調整するための補償関数を備えたルックアップテーブルを含んでいる。

【0041】当該集積回路は、バス137に接続されたランダムアクセスメモリ(RAM)133と読み出し専用メモリ(ROM)134とを含んでいる。RAM132は、チューナの電源を入れるとロードされ、特定のチューナのアプリケーションに対するオプションのアライメントのためにチューナをセットアップする、アライメントファクタを含んでいる。ROM133は、他のこととともに、世界中の異なる複数のテレビジョンチャンネルに対するシンセサイザプログラミングデータを含んでいる。このことは、ベースプロセッサに対する負担を低減し、上記ベースプロセッサは、シンセサイザ110及び111のレジスタ内容のすべてよりはむしろ、チャンネル番号と通信することのみを必要とする。

【0042】当該集積回路はまた、チューナが、12C、スリーワイヤ(Three Wire)及びブルートゥースのような従来型の相互接続によって制御されることを可能にする、標準的なインターフェース装置134及び135も備えている。特に、インターフェース134及び135は、パラレルバス137と外部シリアルバスとの間で、シリアルからパラレルへのインターフェース接続を提供する。

【0043】上述されたように、第1の中間周波フィルタ109は、選択されたチャンネルのみを通過させるタイプであるか、又は、選択されたチャンネルといくつかの隣接するチャンネルとを通過させるタイプであることができる。フィルタ109がいくつかのチャンネルを通過させるチューナの実施形態では、検出器122によってモニタリングされた信号レベルは、フィルタ125によって、フィルタ124(存在するとき)によって、及びチューナが接続されている復調器中の任意のフィルタリングによって実行される、単一チャンネルフィルタリングの上流側(アップストリーム)又は前段に存在する。ゆえに、検出器122によって検出される振幅は、チューナのさまざまなステージの入力において存在する信号レベルと、特に増幅器103の入力における信号レベルとのよりよい表示を提供する。従って、検出器122は、増幅器103の入力において適当な信号レベルが存在することを保証するように、減衰器102によって提供される減衰を制御することができる。しかしながら、入力と検出器122との間のさまざまなステージは、製造時の公差の結果として変化する利得をもたらす。ゆえに、チューナの利得構造が所望のアプリケーションに従ってアラインメントを調整可能であるように、さまざまな増幅器ステージの利得はプログラム可能にされる。例えば、増幅器117の利得は、バス137を介してプログラム可能であり、チューナの製造過程の一部を構成するアラインメントステップの間に、所望の利得

構造に従ってプログラムされることが可能である。次いで、検出器122によって検出される信号レベルは、さまざまなステージの入力における信号レベルに対するうまく定義された(well-defined)関係を生じて、適当なAGC制御方法が適用されることが可能である。例えば、AGC装置のアタック及び減衰特性とループ時定数とはプログラム可能であり、チューナのアプリケーションに従って選択されることが可能である。

【0044】検出器122は、可変利得増幅器126及び140のような、他のさまざまな利得ステージを制御することができる。一般に、減衰器102の“直接”の制御はAGC制御方法によって実行されるのに対して、他のステージは“減衰”制御に従属されている。言いかえると、増大する入力信号レベルに対して、検出器122は最初に、他のステージの利得を制御せずに、増幅器103の入力における信号レベルを低減するように減衰器102を制御する。減衰器102によって提供される最大の減衰量に対応するか又は対応しないことがある、予め決められたしきい値よりも高い信号レベルに対しては、検出器122は次いで他のステージの利得を低減してもよい。特定の制御方法は、例えば、デジタル又はアナログチャンネルのいずれが受信されるものであるか、及び、チューナが地上波又はケーブルのいずれのシステムのためのものであるか、といったチューナのアプリケーションに依存し、上記特定の制御方法は集積回路中にプログラムされるか、又は集積回路に記憶された複数の方法から選択されることが可能である。例えば、AGC制御ループは、第2の中間周波フィルタ124又は125の入力に存在する(複数のチャンネルの)信号の大きさを、選択されたチャンネルの変調のタイプに対して、前段によって処理可能な既知の最大レベルを表す、プログラムされたレベルに制限するように構成されることが可能である。

【0045】地上波信号を受信し、1つよりも多くのチャンネルを通過させる第1の中間周波フィルタ109を有するチューナの場合には、さまざまなチューナステージに存在する信号は、図1に示されたような振幅の範囲を有することがある。従って、あるチャンネルが受信のために選択されることがあるが、チューナの1つ以上のステージは、そのチャンネルを、より大きな振幅の複数の隣接するチャンネル又は近傍のチャンネルとともに受信することがある。選択されたチャンネルにおける信号レベルに基づいて自動利得制御を、例えば復調されたチャンネル信号に基づいてこれを制御することによって提供することは、望ましくない高い信号レベルがチューナ中のさまざまなステージに存在したような利得構造を結果的にもたらすことがある。ゆえに、チューナの性能は、例えば混変調及び相互変調に関して、非常に大きく低下することがある。選択された1つのチャンネルを含むいくつかのチャンネルにおける合計の信号エネルギー

に対する自動利得制御に基づくことによって、自動利得制御方法は、混変調及び相互変調積の望ましくないほど高い生成を防止するように、チューナ内のより適当な利得構造を提供することができる。このことは、より大きな振幅の隣接するチャンネル及び近傍のチャンネルが存在するときでも、選択されたチャンネルに対する干渉が実質的に低減されるので、改善された受信を結果的にもたらす。

【0046】第1及び第2の周波数変換器の局部発振器装置108、110、111及び114のいずれも、外付け部品が必要とされない、完全に集積化された、同調された発振器を備えている。第1の発振器108、110は、1.1GHzから2.2GHzまでの同調範囲をカバーすることが可能な、段階的に変化されるブロードバンド発振器である。第2の発振器111、114はより狭い同調範囲を有し、互いに直交する位相を有する2つの局部発振器信号を提供する直交位相発振器である。この発振器の同調範囲は、世界中で使用されている第1及び第2の中間周波数の範囲をカバーするために十分に広いことが必要とされる。

【0047】各発振器に係る重要な性能の必要条件は、後続する復調処理を損なわずに許容可能なジッタの量である。必要とされる性能は変調のクラスに依存する。例えば、従来型のアナログ残留側波帯振幅変調は、ディジタルケーブルネットワークにおいて用いられる256QAMのようなディジタル変調方法よりも、より高いレベルのジッタを許容することができる。実際に、現在では、信号情報のうちの大部分が搬送波の位相で伝送され、周波数変換器の発振器におけるいかなるジッタも、ミキサステージにおいて所望の信号に追加されるので、最も厄介な必要条件は256QAM（直交振幅変調）に対するものである。

【0048】ミキサ105及び116に供給される発振器信号から、超過したジッタを除去するために、位相ロックループ110及び111は、相対的に広いループ帯域幅を有している。しかしながら、従来の広いループ帯域幅の位相ロックループの不都合な点は、ループの位相検出器において、より高い基準比較周波数を必要とすることにある。このことは、そのような従来型の位相ロックループにおいて、結果的により粗い同調ステップをもたらす。特に、基準周波数が1MHzであるときは、制御された基準は1MHzの倍数であり、そのため同調における最小の増分のステップサイズもまた1MHzである。このことは、いくつかのアプリケーションで、第1の周波数変換器に対しては許容可能であるが、そのような増分のステップは第2の周波数変換器に対しては粗すぎる。また、1MHzの基準信号は、第1の発振器108を2GHzに同調するとき2000の倍数を必要とする。この乗算ファクタは、位相ロックループの帯域幅内の制御された基準の位相ノイズを、水晶制御発振器1

13の位相ノイズよりも大きい66dBに制限する。上記水晶制御発振器113の性能は、典型的には-150dBよりもよくはない。位相ロックループの帯域幅内の結果的な位相ノイズは、256QAM信号の適正な受信のために辛うじて適当である、 $-150 + 66 = -84$ dBc/Hzに制限される。

【0049】従って、シンセサイザ110及び111は、20MHz水晶141の形式で高い周波数の比較基準を用いて、十分に微細な増分の同調ステップを提供するためのフラクショナルN技術を使用する。特に、シンセサイザ110及び111は、シグマデルタハイブリッド mash フラクショナルNシンセサイザである。

【0050】従来型のフラクショナルNシンセサイザの不都合な点は、フラクショナル（分数）の比較周波数における、増大したスプリアス信号の生成にある。シグマデルタフラクショナルNシンセサイザは、シグマデルタ変調器を用いて、必要とされる同調の分数に等しい直流成分を有するディザリングされた分数パターンを生成するが、そのとき、上記分数を波形整形する高次のシグマデルタ変調ノイズが存在する。しかしながら、半分、4分の1、又は8分のいくつかのような簡単な分数が用いられるときは、分数のディザパターンに関連付けられた誤差スペクトラムは、例えば図7で10分の4の分数に対して示されたように、いくつかの相対的に強いスプリアス信号の中に集中化される。

【0051】1000の399のようなより簡単ではない分数に対しては、スプリアスのエネルギーは、図8に示されたように周波数帯域にわたってより一様に拡散され、より管理しやすくなる。特に、スプリアス信号が、局部発振器からのスプリアス信号のオフセットと同様の、所望のチャンネルからのオフセット周波数における大きな望ましくないチャンネルに対して反応する可能性は、大幅に低減されることが可能である。10分の4の分数と1000分の399の分数との間の差は、20MHzの比較基準が用いられているときに、20kHzの微細な同調ステップを表し、所望の第1及び第2の中間周波数からのそのような小さなオフセットは、チューナの性能に対して実質的な影響を持たない。ゆえに、シンセサイザ110及び111は、単純な分数を除去して改善された性能を提供するための適当な制御方法によって、容易に制御されることが可能である。単純な分数は、所望のチャンネルを選択するために両方のシンセサイザの微細な同調を用い、発振器のうちの一方の同調を小さなステップだけ増分して、他方の発振器に対して逆の増分を適用することによって簡単な分数を除去することによって、除去されることが可能である。

【0052】上述されたように、チューナの1つの実施形態では、フィルタ109はただ1つのチャンネルを通過させ、他のすべてのチャンネルを実質的に除去するように構成されている。しかしながら、そのようなフィル

タの中心周波数は製造時の公差に従属し、フィルタの温度によって変化する。このことを補償するために、周波数変換器は、微細な増分の同調ステップを持つことを必要とされ、このことは上述されたように提供可能である。シンセサイザ 110 及び 111 は、第 1 の周波数変換器による変換に後続する選択されたチャンネルが、フィルタ 109 の実際の通過帯域上に中心を定められ、同様に、第 2 の周波数変換器によって変換された選択されたチャンネルが、第 2 の中間周波フィルタリングの通過帯域上に中心を定められることを保証するように、チューナ 10 の製造中にプログラムされることが可能である。温度センサ 136 がフィルタ温度に係る適度に良好な表示度数を提供するように、当該集積回路とフィルタ 109 を物理的に構成することによって、フィルタ 109 の中心周波数の温度による変動は、適当な補償関数に従ってシンセサイザ 110 及び 111 を調整することによって補償可能である。例えば、中心周波数の温度による変動は、フィルタの製造業者によって供給される適度に正確に知られた関数であってもよく、補償関数は、当該集積回路内のルックアップテーブルとして記憶されていてもよい。それに代わって、中心周波数と温度との間の関係を決定するために、フィルタ 109 の 1 つ以上の典型的なサンプルがテストされてもよく、結果として得られた関数又は平均化された関数が用いられて補償関数が生成されてもよい。

【0053】

【発明の効果】従って、外付け部品をほとんど必要とせず、広い範囲のタイプの入力信号に対して許容可能な性能を提供可能な、高度に集積化されたモノリシックテレビジョンチューナを提供することができる。当該チューナは、任意のソースからの任意のタイプのテレビジョン信号に対する最適な性能のためにプログラムされることが可能であり、世界中で使用されている中間周波数、チャンネル間隔、及び搬送波周波数の割り当てのようなテレビジョン標準に従うことができる。非常に高いレベルの集積化は、コストによって非常に影響を受けるアプリケーションに対しても当該チューナが商業的に許容できるように、低減された製造のコストと低減された回路基板の領域の必要条件とを結果的にもたらす。

【図面の簡単な説明】

【図 1】 ケーブル及び地上波のテレビジョン周波数の割り当てと、ケーブル及び地上波のテレビジョンのチャンネルにおける信号レベルの例とを示す図である。

【図 2】 既知のタイプの地上波テレビジョンチューナのブロック図である。

【図 3】 図 2 のチューナにおいて用いられるトラッキ

グフィルタの回路図である。

【図 4】 セットトップボックスのための既知のタイプのケーブルテレビジョンチューナのブロック図である。

【図 5】 図 4 のチューナの帯域制限フィルタの回路図である。

【図 6】 本発明の好ましい実施形態を構成するテレビジョンチューナのブロック図である。

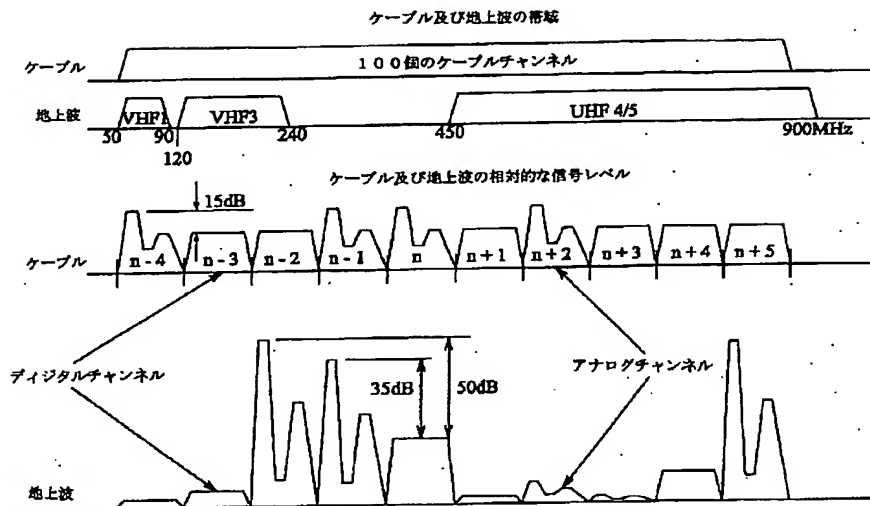
【図 7】 位相ロックループによって制御された発振器におけるスプリアス積の生成を示す、周波数に対する振幅のグラフである。

【図 8】 位相ロックループによって制御された発振器におけるスプリアス積の生成を示す、周波数に対する振幅のグラフである。

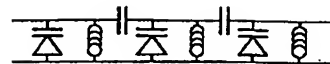
【符号の説明】

10...チューナ、
101...入力マルチプレクサ、
102...可変減衰器、
103...トラッキング低雑音増幅器、
104...トラッキング帯域通過フィルタ、
105...イメージ除去ミキサ、
106, 109...第 1 の中間周波フィルタ、
107, 115, 119, 121...増幅器、
108, 114...局部発振器、
110, 111...ハイブリッド mash シグマデルタフラクショナル N 位相ロックループシンセサイザ、
112...アナログ/ディジタル変換器 (ADC)、
113...水晶制御発振器、
116...I 及び Q ミキサ、
117...I 及び Q 利得ステージ、
118...中間周波全通過ヒルベルト位相シフトフィルタ、
120...加算器、
122...検出器、
123...ディジタル-アナログ変換器、
124...外部の第 2 の中間周波フィルタ、
125...チップ上の第 2 の中間周波フィルタ、
126, 140...可変利得増幅器、
127...出力バッファ、
131...処理制御装置、
132...ランダムアクセスメモリ (RAM)、
133...読み出し専用メモリ (ROM)、
134, 135...MBCU、
136...温度センサ、
137...制御バス、
141...20MHz 水晶、
QUAD...直交位相回路。

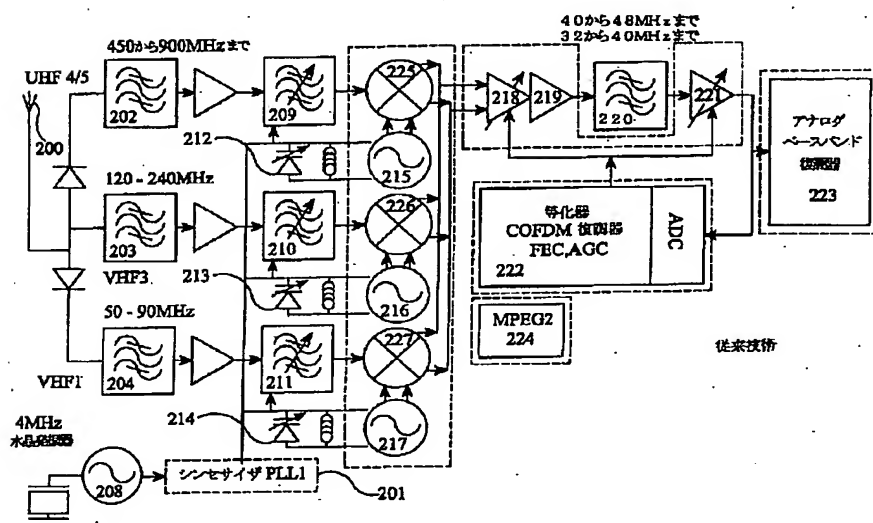
【圖 1】



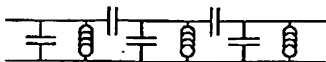
【圖3】



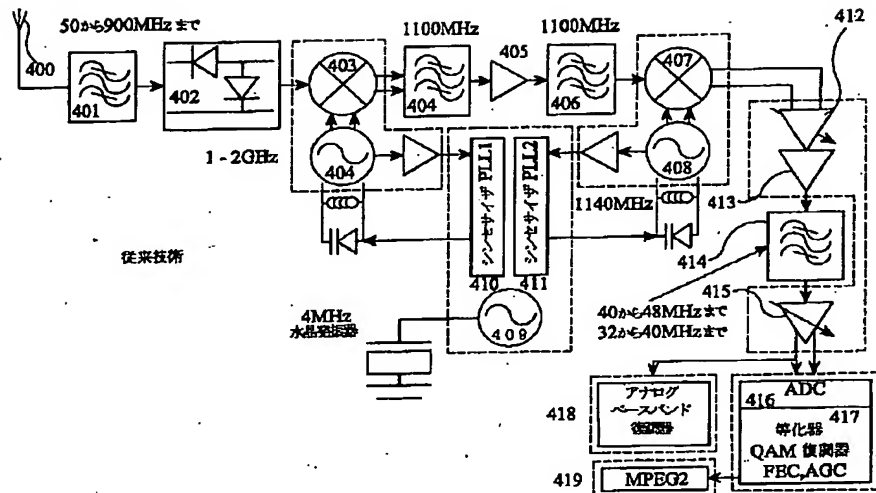
【圖2】



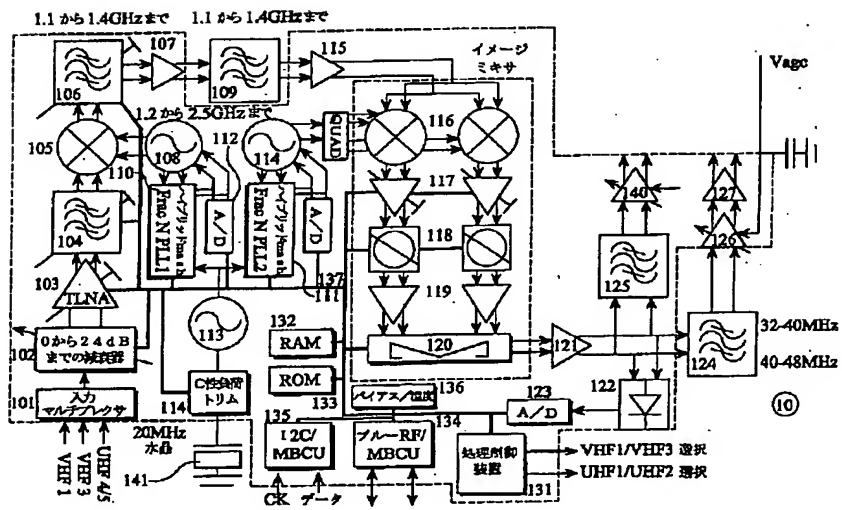
【図5】



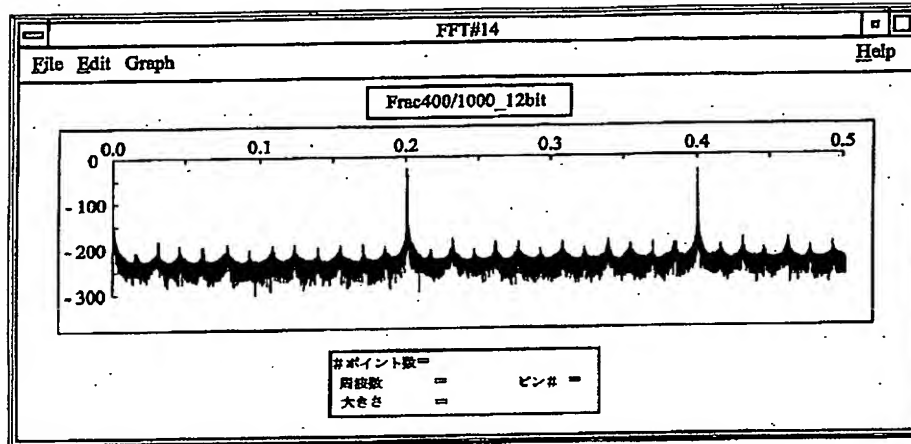
【圖 4】



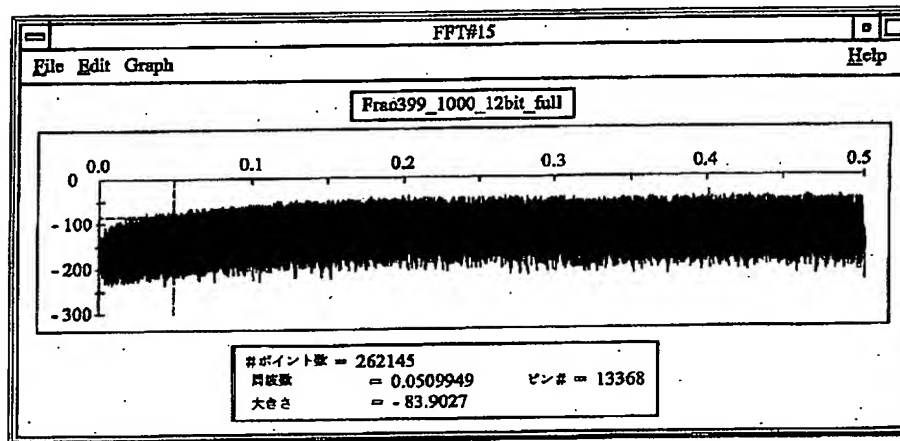
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.
H04N 5/52

識別記号

F I
H04N 5/52

タームコード (参考)

(72)発明者 デイビッド・アルバート・ソーヤー
イギリス、ウィルトシャー、スウィンドン、メリベール・グローブ9番

Fターム(参考) 5C025 AA25 AA27
5C026 BA00
5K020 AA02 BB09 DD11 EE02 EE03
EE04 EE18 FF04 GG01 KK04
LL01
5K062 AA07 AA08 AA11 AC06 AD07
AD08 AE01 BC03 BC10 BE08

【外国語明細書】

1

TELEVISION TUNER

The present invention relates to a television tuner. Such a tuner may be used to receive any type of signal, for example from a terrestrial or satellite antenna or a cable distribution network, and may be arranged to receive signals having analog or digital formats of many different types. Such a tuner is cable of being embodied with a high degree of integration such that most of the circuitry is embodied as a single integrated circuit with very few external components.

Television was first developed for the purpose of transmitting signals representing moving pictures and accompanying soundtracks produced in an analog format generally using amplitude modulation (AM) and frequency modulation (FM) of radio frequency (RF) carriers to transmit different channels, each carrying different program information. The appropriate frequency spectrum was allocated and licensed to broadcasting companies operating in different regions of the world. Typically, three allocated bands evolved across the world, namely VHF1 between 50MHz and 90MHz, VHF3 between 120MHz and 220MHz, and UHF4/5 between 450MHz and 900MHz. The spaces between these bands were licensed for other services. The television broadcast bands were subdivided into separate carrier frequencies separated by the channel bandwidth of each channel. As television developed around the world, different countries and regions adopted similar but unique frequency bands, channel bandwidths and carrier frequency plans within the licensed spectrum bands. Channel bandwidths of 8MHz, 7MHz and 6MHz were adopted in different regions of the world. Initially, signals contained monochrome information but subsequently standards, such as NTSC, SECAM and PAL, were developed to provide transmission of colour television signals.

Television signals were first transmitted from transmitters through the air to local receiving antennae and this is generally referred to as "terrestrial off air transmission". Further development resulted in the transmission of similar forms of signals over cable distribution networks in the spectrum 50MHz to 900MHz. Although similar modulation formats, channel spacing, frequency spectrum and carrier allocation are

used in off air transmission and cable distribution, the transmission characteristics of these systems are significantly different. In off air transmission, the received signal strength in different channels can vary significantly according to the distances from different transmitters. The number of received strong signals is usually a small portion of all available channels but the ratio between weak and strong signals can be large, such as 40 to 60 decibels (dBs). The commonest reception problem is attempting to receive sufficient of a wanted signal in the presence of large unwanted signals.

In cable systems, the received signal varies by only a few decibels across all available channels and the received signal strength is often much greater than that which is necessary in order to ensure quasi perfect picture quality. A quasi perfect picture is one that is judged by a viewer to be as good as that from a signal having an infinite signal-to-noise ratio using the same format. For analog format colour television, this occurs at signal levels having a signal-to-noise ratio greater than or equal to about 50dB. Cable reception often presents the problem of coping with much more unwanted signal (in the non-selected channels) distributed evenly across the entire spectrum.

Figure 1 of the accompanying drawings illustrates a typical spectrum allocation for cable and terrestrial television signals together with an indication of the relative levels of cable and terrestrial signals at the input of a television tuner. In particular, this illustrates the relatively constant signal levels of different channels in a cable distribution network as compared with the very large differences in signal levels in different channels received by a terrestrial antenna. In order to cope with the different characteristics of cable and terrestrial signals, two different tuner architectures have largely been adopted with dual conversion architectures being used for cable tuners and single conversion architectures being used for terrestrial tuners.

Figure 2 of the accompanying drawings illustrates a typical example of a single conversion terrestrial television tuner architecture of conventional type. Signals from a terrestrial aerial 200 are supplied to the inputs of three fixed band-limiting filters 202, 203 and 204 which pass the different parts of the television spectrum to three "front ends". The UHF 4/5 band from 450 to 900MHz is supplied to a tracking filter 209, for

example of the type illustrated in Figure 3 of the accompanying drawings. The output of the filter 209 is supplied to a mixer 225 which also receives a signal from a local oscillator 215. The oscillator 215 has a variable capacitance diode 212 controlled by a phase locked loop synthesiser 201 provided with a crystal-controlled reference oscillator 208. The VHF3 and VHF1 bands are supplied via tracking bandpass filters 210 and 211, respectively, to mixers 220 and 227, respectively, having local oscillators 216 and 217, respectively, provided with variable capacitance diodes 213 and 214, respectively, and controlled by the synthesiser 201.

The tracking filters 209, 210 and 211 are of relatively high Q type and are aligned during manufacture so as to track the frequency of the corresponding local oscillator 215, 216 and 217 so as to remove as much unwanted signal as possible and to pass the selected channel to the corresponding mixer. Each of the mixers converts the desired or selected channel to an intermediate frequency (IF) which is typically between 32 and 40MHz or between 40 and 48MHz. The mixer outputs are connected to a variable gain IF amplifier 218, whose output is connected to the input of a further amplifier 219 which provides suitable matching to an IF filter 220 of bandpass type. The filter 220 has a passband, which may be suitably shaped according to the modulation standard of the received signal, which passes the selected channel and substantially rejects all other channels. The output of the filter is connected to a further variable gain amplifier 221 which provides impedance matching and gain to compensate for the insertion loss of the filter 220.

The output of the amplifier 221 is typically supplied to a block 222 containing an equaliser, a COFDM demodulator, a forward error corrector (FEC), an automatic gain control (AGC) circuit and an analog-digital converter (ADC). The AGC control circuit supplies control signals to the variable gain amplifiers 218 and 221 to control the gains thereof in the conventional way for providing automatic gain control. An MPEG 2 decoder 224 may also be provided. The output of the amplifier 221 may alternatively or additionally be supplied to an analog baseband demodulator 223.

Figure 2 illustrates the degree of integration which is conventionally achieved in terrestrial television tuners. In particular, the tuner shown in Figure 2 comprises six separate integrated circuits and a large number of external components. The integrated circuits comprise: the synthesiser 201; the mixers 225, 226 and 227 and the local oscillators 215, 216 and 217; the amplifiers 218, 219 and 221; the circuit block 222; the demodulator 223; and the decoder 224. This architecture requires a relatively large number of external components and involves using similar circuit architecture and component selection for the tracking filters 209, 210 and 211 and the local oscillators 212-217. Also, careful alignment of the various tracking tuned circuits is required during manufacture in order to ensure acceptable performance. This architecture is more selective in the radio frequency section and reduces or rejects large unwanted channels before they can interfere with wanted channels because of non-linearities in the subsequent mixers and amplifiers which produce cross-modulation and inter-modulation. The tracking filters are also solely responsible for rejecting the image channel. This architecture may be implemented using amplifiers and mixers of modest signal handling capabilities with low noise figures and moderate power consumption.

Figure 4 of the accompanying drawings illustrates a typical dual conversion cable tuner of conventional type. A broadband signal containing, for example, about 100 channels is supplied by a cable distribution network to an antennae input 400 and is supplied to a fixed filter 401 (shown in more detail in Figure 5 of the accompany drawings) which attenuates signals outside the band containing the channels. The filtered signal is supplied to a controllable attenuator 402 forming part of an automatic gain control arrangement. The output of the attenuator 402 is supplied to a first frequency changer comprising a mixer 403, a local oscillator 404 and a phase locked loop synthesiser 410 provided with a crystal controlled reference oscillator 409. The first frequency changer performs frequency up-conversion to a first intermediate frequency typically between 1.1GHz and 1.3GHz.

The output of the mixer 403 is supplied to a fixed bandpass filter 404 whose centre frequency is at the first intermediate frequency and which has a passband which passes the selected channel at the first intermediate frequency and several adjacent channels.

In the architecture illustrated, the filter 404 is connected to an amplifier 405 whose output is connected via a further filter 406 to a second frequency changer.

The second frequency changer also comprises a mixer 407, a local oscillator 408 and a phase locked loop synthesiser 411. The second frequency changer performs frequency down-conversion and converts the frequency of the selected channel to the second intermediate frequency, which is generally between 30 and 50MHz. The output of the mixer 407 is supplied to a variable gain amplifier 412 forming part of the AGC arrangement of the tuner. The output of the amplifier 412 is supplied to a buffer 413 providing impedance matching to a second intermediate frequency bandpass filter 414, whose centre frequency is at the second intermediate frequency and whose passband is such that it passes the selected channel, possibly with some passband shaping, and substantially rejects all other channels in the signal from the second frequency changer. The output of the filter 415 is supplied to the input of another variable gain amplifier 415 forming part of the AGC circuit of the tuner. The output of the amplifier 415 is supplied to a circuit block 416, 417 of the same type as that shown at 222 in Figure 2 of the accompanying drawings and provided with an MPEG 2 decoder 419 and/or to an analog baseband demodulator 418.

The architecture illustrated in Figure 4 of the accompanying drawings places the image channel at the first frequency changer outside the input band by using a first intermediate frequency which is higher than the highest frequency of the input band. For first intermediate frequencies between 1.1 and 1.3GHz, the image channels are between 2 and 4GHz depending on which channel is currently selected. All of the signal-handling stages ahead of the first IF filter 404 are required to handle as many as 100 channels simultaneously and must therefore have high signal handling capabilities.

There are generally between 4000 and 9000 interfering third order intermodulation product combinations, of the forms $F1 + F2 + F3$, $F1 + F2 - F3$ and $F1 - F2 - F3$ where $F1$, $F2$ and $F3$ represent the frequencies of three unwanted channels, that fall on any selected channel. There are likewise many second order intermodulation products of the form $F1 + F2$ and $F1 - F2$ which may also cause interference. Thus, the active

stages such as the mixer and a tracking low noise amplifier (when present) ahead of the first IF filter 404 must be of very high linearity in order to achieve acceptable levels of composite third order intermodulation and composite second order intermodulation interference. All generated intermodulation products are evenly weighted by the relatively constant signal level across the full input band. This architecture requires fewer passive components than the single conversion architecture but requires the use of higher power stages to achieve the necessary very high signal handling.

Figure 4 again illustrates the level of integration which has typically been achieved in tuners of this architecture. Thus, such a tuner typically comprises seven integrated circuits comprising: the first frequency changer 403, 404; the second frequency changer 407, 408; the synthesisers 410 and 411 and the oscillator 409; the amplifiers 412, 413 and 415; the block 416, 417; the demodulator 418; and the decoder 419.

The increasing range of multi-media services available through modern digital television formats and the need to be able simultaneously to demodulate more than one channel have resulted in a need to reduce the cost and size of television tuners. The need to be able to receive and demodulate analog channels in the presence of digital channels and vice versa has resulted in the need for increased tuner performance for both cable and terrestrial television. Demodulation of digital channels is more sensitive to tuner phase noise performance but more tolerant of co-channel and intermodulation interference than demodulation of analog channels.

The desire for reduced cost and size has lead to various attempts to increase the level of integration of television tuners, in particular to the point where almost the whole tuner can be embodied in a monolithic integrated circuit. Examples of this are disclosed in US 5 737 035 and US 6 177 964. Each of these documents discloses a highly integrated tuner of the dual conversion type and proposes various techniques for making a single integrated circuit tuner a viable option. However, such highly integrated arrangements generally either consume too much power to be acceptable or fail to meet at least one of the critical performance parameters, such as insufficient phase noise performance for

digitally modulated signals, insufficient noise and intermodulation performance for terrestrial reception, or insufficient blocking of non-terrestrial channels.

Further examples of known radio frequency tuners are disclosed in GB 2 313 008, GB 2 067 865, GB 2 058 500, US 5 200 826, US 4 581 643, US 553 264, US 6 177 964, US 6 118 499, US 5 204 972, US 4 491 976 and GB 2 298 750. Examples of phase locked loop frequency synthesisers are disclosed in US 4 491 976, WO 00/69074, WO 99/31807, WO 91.07824, US 5 055 802 and IEEE Journal of Solid-State Circuits, Vol. 28, No. 5, May 1993 (USA), T.A.D Riley et al, "Delta-sigma modulation in fractional-N frequency synthesis", pages 553-559.

US 6 118 499 and GB 2 298 750 disclose tuners for television and mobile radio signals, respectively, having automatic gain control arrangements which measure the signal level downstream of single channel filtering. The tuner gain is therefore controlled on the basis of the signal level of the channel selected for reception and is not substantially influenced by the level of signals outside the selected channel.

According to a first aspect of the invention, there is provided a television tuner as defined in the appended claim 1.

According to a second aspect of the invention, there is provided a television tuner as defined in the appended claim 14.

Preferred embodiments of the invention are defined in the other appended claims.

It is thus possible to provide a television tuner which meets or exceeds all of the performance requirements for digital and analog modulated signals for cable and terrestrial television standards throughout the world. Such a tuner may be very highly integrated with a requirement for very few external components and occupying a small area of a circuit board. The power consumption of such an integrated circuit tuner can be made very low, for example less than one watt.

Such a tuner may be implemented using BiCMOS or CMOS processes using bulk silicon or silicon-on-insulator (SOI) substrates. For example, the tuner may be implemented as deep sub-micron CMOS on bulk silicon.

The invention will be further described, by way of example, with reference to the accompanying drawings, in which:

Figure 1 is a diagram illustrating cable and terrestrial television frequency allocation and examples of signal levels in cable and terrestrial television channels;

Figure 2 is a block diagram of a known type of terrestrial television tuner;

Figure 3 is a circuit diagram of tracking filters used in the tuner of Figure 2;

Figure 4 is a block diagram of a known type of cable television tuner for a set top box;

Figure 5 is a circuit diagram of a band limiting filter of the tuner of Figure 4;

Figure 6 is a block diagram of a television tuner constituting a preferred embodiment of the invention; and

Figures 7 and 8 are graphs of amplitude against frequency illustrating the generation of spurious products in an oscillator controlled by a phase locked loop.

The tuner 10 shown in Figure 6 can be used for receiving television or other multi-media signals using any analog or digital modulation format from any source, including a terrestrial aerial and a cable distribution network. The tuner comprises three inputs for receiving different parts of the whole reception band, for example, via external filtering. In the case of terrestrial television signals as illustrated in Figure 6, the inputs are for the VHF1 band, the VHF3 band and the UHF4/5 band. For cable applications, a single input receiving the whole of the broadband cable signal may be used.

The three inputs are connected to an input multiplexer 101 which allows the appropriate input to be selected. The output of the multiplexer 101 is connected to a variable attenuator 102, for example comprising a stepped attenuator arranged to provide attenuation between 0 and 24dB in a plurality of discrete steps. The attenuator 102 is connected to an on-chip control bus 137 for controlling the attenuation provided by the attenuator 102.

The output of the attenuator 102 is connected to the input of a tracking low noise amplifier (TLNA) 103 having a highly linear transfer function and the ability to handle high signal levels with very low distortion levels. The TLNA also incorporates filtering, for example in its output stage, which is controllable via the bus 137. The output of the amplifier 103 is connected to a tracking bandpass filter 104 which receives control signals from the bus 137. The filter 104 and the filtering in the TLNA 103 are controlled so as to pass at least the channel selected for reception and some of the adjacent channels while attenuating the other channels in the broadband signal at the input of the amplifier 103. The filter 104 may be of active or passive type and is integrated onto the substrate of the monolithic integrated circuit. The presence of the filtering reduces the level of unwanted signals and allows a relatively large overall composite signal handling performance to be achieved without requiring external filtering components.

The filter 104 and the filtering in the TLNA 103 may be in the form of step tracking filtering, continuously tuned filtering, or a combination of the two. In the case of step tracking filtering, for example, the filtering may comprise a plurality of sections having overlapping bandpass characteristics with the appropriate section being selected in accordance with the frequency of the selected channel. In the case of continuously tuned filtering, a single filter section having a bandpass response may be tunable over the whole frequency range of the broadband input signal. Alternatively, several sections covering different ranges and with overlapping between the ranges may each be continuously tuned and the appropriate section may be selected in accordance with the selected channel.

The output of the filter 104 is supplied to a first frequency changer comprising an image reject mixer 105, a local oscillator 108, a "hybrid" mash sigma-delta fractional N phase locked loop synthesiser 110 and an analog/digital converter (ADC) 112. The first frequency changer performs frequency up-conversion such that a selected channel is converted to a first fixed intermediate frequency. The phase locked loop synthesiser 110 is controlled via the bus 137 so as to tune the oscillator 108 such that the selected channel is converted to any desired intermediate frequency in the range 1.1 to 1.4GHz, where all standard first intermediate frequencies used throughout the world are located. The ADC 112 converts the control voltage, supplied by the synthesiser 110 to the local oscillator 108, to the corresponding digital code and supplies this to the bus 137.

The use of an image reject mixer as the first mixer 105 provides an improvement in performance of the tuner. Noise and any signal present in the image channel would otherwise be present in the output of the mixer and this would degrade the noise performance of the tuner. Also, the increased undesirable energy at the output of the mixer 105 would have a detrimental effect on the dynamic range of one or more of the subsequent stages. These disadvantages are overcome by the use of the image reject mixer.

The output of the mixer 105 is supplied to a first intermediate frequency filter 106 formed on the substrate. The filter 106 is of the bandpass type and has an adjustable centre frequency controlled via the bus 137 so as to be alignable to any desired standard (or other) first intermediate frequency. The filter 106 generally has a passband sufficiently wide to pass the desired channel at the first intermediate frequency and several adjacent channels such as two to four channels either side of the selected channel, while attenuating or rejecting all other channels in the output signal from the mixer 105.

The output of the filter 106 is supplied to the input of an amplifier 107 having a very high dynamic range and a good noise performance. The output of the amplifier 107 is available as a connection of the integrated circuit for an external component and may be connected, as shown, to another first intermediate frequency filter 109 located off the

integrated circuit. For example, the filter 109 may be embodied by ceramic-coupled resonators or surface acoustic wave (SAW) devices and is of the bandpass type with a centre frequency between 1.1 and 1.4GHz. The filter 109 may be of the type which passes the selected channel and a few adjacent channels and attenuates or rejects all of the other channels present in the output signal from the amplifier 107, for example by providing a relative attenuation of such channels of 40dB. Alternatively, the filter 109 may be a single channel filter such that it passes only the selected channel at the first intermediate frequency and substantially rejects all other channels.

The output of the filter 109 is connected to another connection of the integrated circuit which in turn is connected to the input of a buffer stage or amplifier 115. The output and input characteristics, such as impedances, and the gains of the amplifiers 107 and 115 are arranged to be suitable for properly matching the requirements of standard filters for use as the filter 109 and for making up the insertion loss of the filter. In embodiments where less filtering at the first intermediate frequency is acceptable, the filter 109 may be omitted and the output of the amplifier 107 connected to the input of the stage 115 so that first intermediate frequency filtering is performed by the on-chip filter 106.

The output of the stage 115 is connected to a second image reject mixer which includes a local oscillator 114, a "hybrid" mash sigma-delta fractional N phase locked loop synthesiser 111 and an ADC. The local oscillator 114 supplies in-phase and quadrature local oscillator signals via a quadrature circuit QUAD to I and Q mixers 116. The outputs of the mixers 116 are connected to the inputs of adjustable I and Q gain stages 117, whose gains are controllable via the bus 137. The outputs of the stages 117 are connected to a pair of programmable intermediate frequency all-pass Hilbert phase shift filters 118, whose outputs are connected via respective amplifier stages 119 to a summer 120. The characteristics of the filters 118 and the relative weightings of the I and Q signals applied in the summer 120 are adjustable or programmable via the bus 137.

The synthesiser 111 is not a fixed frequency reference; instead, it is controlled via the bus 137 and allows any desired second intermediate frequency to be selected between, for example, 30 and 50MHz. In particular, in European television standards, the second intermediate frequency is generally between 32.25 and 39.25MHz whereas the corresponding US standard generally puts the second intermediate frequency between 42.55 and 48.25MHz. by suitably programming the synthesiser 111, any second intermediate frequency within a relatively large range can be set according to the application of the tuner.

The output of the second image reject mixer is connected to the input of an amplifier or buffer stage 121 which provides output characteristics suitable for driving one or more second intermediate frequency filters. The outputs of the stage 121 are connected to an on-chip second intermediate frequency filter 125 and to substrate connections for an external second intermediate frequency filter 124. The on-chip filter 125 has fixed characteristics whereas the off-chip filter 124 may be selected in accordance with the requirements of the particular application of the tuner. Each of these filters is of bandpass type with a centre frequency at the desired second intermediate frequency and a passband which passes the selected channel, possibly with frequency shaping appropriate to the modulation standard of the received signal, and substantially rejects all other channels in the output signal of the second frequency changer. The output of the on-chip filter 125 is connected via a variable gain amplifier 140 to an output connection of the integrated circuit for connection to one or more demodulators in accordance with the application. The internal or on-chip filter 125 is sufficient for many applications, such as a cable tuner where channel filtering may be completed in the digital domain following conversion of the output signal from the tuner in an analog-digital converter, for example within a demodulator integrated circuit. For more demanding applications such as terrestrial television, the external or off-chip filter 124 may be used so as to provide higher selectivity and higher signal handling. The integrated circuit has an input for connection to the output of the filter 124 and this input is connected via a variable gain amplifier 126 and an output buffer 127 to a further output of the tuner. As shown in Figure 6, the variable gain amplifier 126 is connected to receive an external voltage V_{agc} forming part of an automatic gain control

arrangement, for example controlled by a demodulator to which the tuner output is connected. The gain of the amplifier 140 may be controlled in the same way.

The output of the stage 121 is connected to a detector 122 for detecting the signal amplitude or level and for providing automatic gain control. The level detected by the detector 122 is supplied to a digital-to-analog converter 123, which supplies the corresponding digital code to the bus 137 so as to control the attenuation of the attenuator 102. However, the digital code is available, and the control input of the attenuator 102 is accessible, via the bus 137 to permit more sophisticated automatic gain control (AGC) strategies to be used if necessary or desirable.

The synthesisers 110 and 111 are provided with a common frequency reference in the form of a crystal-controlled oscillator 113 connected to an off-chip 20MHz crystal 141. The crystal is provided with an on-chip capacitive load trimming arrangement 114 controlled via the bus 137. In particular, the capacitive loading can be programmed so as to trim or align the frequency of the oscillator 113.

The integrated circuit has formed thereon a temperature sensor 136, which monitors the substrate temperature and also gives an indication of the temperature of adjacent components, such as the external filter 109. A process control unit 131 performs various control operations including providing compensation for any change with temperature of the centre frequency of the filter 109. In particular, the unit 131 contains a look-up table comprising a compensation function for adjusting the synthesisers 110 and 111 to compensate for any change in the centre frequency of the filter 109.

The integrated circuit includes a random access memory (RAM) 133 and a read only memory (ROM) 134 connected to the bus 137. The RAM 132 contains alignment factors which are loaded on power-up of the tuner and which set up the tuner for optimal alignment for a particular tuner application. The ROM 133 contains, among other things, synthesiser programming data for the different television channels around the world. This reduces the burden on a base processor, which only needs to

communicate a channel number rather than the full register contents to the synthesisers 110 and 111.

The integrated circuit also comprises standard interface arrangements 134 and 135 allowing the tuner to be controlled by conventional interconnections, such as I2C, Three Wire and Bluetooth. In particular, the interfaces 134 and 135 provide serial to parallel interfacing between the parallel bus 137 and external serial buses.

As described hereinbefore, the first intermediate frequency filter 109 may be of the type which passes only the selected channel or of the type which passes the selected channel and several adjacent channels. In embodiments of the tuner where the filter 109 passes several channels, the signal level monitored by the detector 122 is upstream or ahead of the single channel filtering performed by the filter 125, by the filter 124 (when present), and by any filtering in a demodulator to which the tuner is connected. The amplitude detected by the detector 122 therefore provides a better representation of the signal level present at the inputs of the various stages of the tuner and, particularly, the signal level at the input of the amplifier 103. The detector 122 is thus able to control the attenuation provided by the attenuator 102 so as to ensure that an appropriate signal level is present at the input of the amplifier 103. However, the various stages between the input and the detector 122 provide gains which vary as a result of manufacturing tolerances. The gains of various amplifier stages are therefore made programmable so that the gain structure of the tuner can be aligned according to the desired application. For example, the gains of the amplifiers 117 are programmable via the bus 137 and can be programmed in accordance with the desired gain structure during an alignment step forming part of the manufacturing process of the tuner. The signal level detected by the detector 122 then bears a well-defined relationship to the signal levels at the inputs of the various stages and the appropriate AGC control strategy can be adopted. For example, the attack and decay characteristics and the loop time constants of the AGC arrangement are programmable and can be selected in accordance with the tuner application.

The detector 122 may control other variable gain stages, such as the variable gain amplifiers 126 and 140. In general, "direct" control of the attenuator 102 is performed by the AGC control strategy whereas other stages are subjected to "delay" control. In other words, for increasing input signal levels, the detector 122 initially controls the attenuator 102 so as to reduce the signal level at the input of the amplifier 103 without controlling the gain of other stages. For signal levels higher than a predetermined threshold, which may or may not correspond to maximum attenuation provided by the attenuator 102, the detector 122 may then reduce the gain of other stages. The specific control strategy depends on the tuner application, for example whether digital or analog channels are to be received and whether the tuner is for terrestrial or cable systems, and can be programmed into the integrated circuit or selected from a plurality of strategies stored in the integrated circuit. For example, the AGC control loop may be arranged to limit the magnitude of the (multi-channel) signal present at the input of the second intermediate frequency filter 124 or 125 to a programmed level which represents the known maximum level that can be handled by the previous stages for the type of modulation of the selected channel.

In the case of a tuner for receiving terrestrial signals and having a first intermediate frequency filter 109 which passes more than one channel, the signals present at various of the tuner stages may have a range of amplitudes as illustrated in Figure 1. Thus, a channel may be selected for reception but one or more of the stages of the tuner may receive that channel together with adjacent or near channels of much higher amplitude. Providing automatic gain control on the basis of the signal level in the selected channel, for example by controlling this on the basis of the demodulated channel signal, could result in a gain structure such that undesirably high signal levels were present at various stages in the tuner. The performance of the tuner could therefore be very substantially degraded, for example with respect to cross-modulation and intermodulation. By basing the automatic gain control on the total signal energy in several channels including the selected one, the automatic gain control strategy can provide a more appropriate gain structure within the tuner so as to avoid undesirably high generation of cross-modulation and intermodulation products. This results in improved reception because

interference with the selected channel can be substantially reduced, even in the presence of adjacent and near channel signals of much higher amplitude.

Both of the local oscillator arrangements 108, 110, 111 and 114 of the first and second frequency changers comprise fully integrated tuned oscillators with no external components being required. The first oscillator 108, 110 is a stepped broadband oscillator capable of covering the tuning range from 1.1 to 2.2GHz. The second oscillator 111, 114 has a narrower tuning range and is a quadrature oscillator providing two local oscillator signals in phase quadrature with respect to each other. The tuning range of this oscillator is required to be sufficiently wide to cover the ranges of first and second intermediate frequencies in use around the world.

A critical performance requirement of each of the oscillators is the amount of jitter which can be tolerated without impairing the subsequent demodulation process. The required performance depends on the class of modulation. For example, conventional analog vestigial sideband amplitude modulation can tolerate higher levels of jitter than digital modulation schemes such as 256 QAM used in digital cable networks. In fact, at present, the most onerous requirement is for 256 QAM (quadrature amplitude modulation) because a large portion of the signal information is carried in the phase of the carrier and any jitter in the frequency changer oscillators is added to the wanted signal in the mixer stages.

In order to remove excess jitter from the oscillator signals supplied to the mixers 105 and 116, the phase locked loops 110 and 111 have a relatively broad loop bandwidth. However, a disadvantage of conventional broad loop bandwidth phase locked loops is the need for a higher reference comparison frequency in the phase detector of the loop. This results in coarser tuning steps in such a conventional phase locked loop. In particular, if the reference frequency is 1MHz, the controlled reference is a multiple of 1MHz so that the smallest incremental step size in tuning is also 1MHz. Although this may, for some applications, be acceptable for the first frequency changer, such incremental steps are too coarse for the second frequency changer. Also, a 1MHz reference signal requires a multiple of 2000 when tuning the first oscillator 108 to

2GHz. This multiplication factor limits the phase noise of the controlled reference within the phase locked loop bandwidth to 66dB greater than the phase noise of the crystal-controlled oscillator 113, whose performance is typically no better than -150dB. The resulting phase noise within the phase locked loop bandwidth is limited to $-150 + 66 = -84\text{dBc/Hz}$, which is barely adequate for proper reception of 256 QAM signals.

The synthesisers 110 and 111 thus employ fractional N techniques in order to provide sufficiently fine incremental tuning steps using a high frequency comparison reference in the form of a 20MHz crystal 141. In particular, the synthesisers 110 and 111 are sigma delta hybrid mash fractional N synthesisers.

A disadvantage of conventional fractional N synthesisers is the increased spurious signal generation at the fractional comparison frequency. Sigma delta fractional N synthesisers use a sigma delta modulator to generate a dithered fraction pattern having a dc component equal to the required tuning fraction but with high order sigma delta modulator noise shaping to the fraction. However, when simple fractions are used, such as a half, a quarter or several eighths, the error spectrum associated with the fractional dither pattern is concentrated into a few relatively strong spurious signals, for example as illustrated in Figure 7 for a fraction of four tenths.

For less simple fractions such as 399 thousandths the spurious energy is more evenly spread across the frequency band as illustrated in Figure 8 and is more easy to manage. In particular, the possibility of the spurious signals reacting with a large unwanted channel at an offset frequency from the wanted channel similar to the offset of the spurious signal from the local oscillator can be greatly reduced. The difference between a fraction of four tenths and a fraction of 399 thousandths represents a fine tuning step of 20KHz when a 20MHz comparison reference is used and such a small offset from the desired first or second intermediate frequency has no substantial effect on the performance of the tuner. The synthesisers 110 and 111 may therefore easily be controlled by a suitable control strategy for avoiding simple fractions so as to provide improved performance. Simple fractions can be avoided by using fine tuning of both synthesisers to select the wanted channels and avoiding simple fractions by

incrementing the tuning of one of the oscillators by a small step and applying the inverse increment to the other oscillator.

As described hereinbefore, in one embodiment of the tuner, the filter 109 is arranged to pass a single channel and substantially to reject all other channels. However, the centre frequency of such a filter is subject to manufacturing tolerances and varies with the temperature of the filter. In order to compensate for this, the frequency changers are required to have fine incremental tuning steps and this may be provided as described hereinbefore. The synthesisers 110 and 111 can be programmed during tuner manufacture so as to ensure that the selected channel following conversion by the first frequency changer is centred on the actual passband of the filter 109 and likewise the selected channel converted by the second frequency changer is centred on the passband of the second intermediate frequency filtering. By physically arranging the integrated circuit and the filter 109 so that the temperature sensor 136 provides a reasonably good indication of the filter temperature, the variation of centre frequency of the filter 109 with temperature can be compensated by adjusting the synthesisers 110 and 111 in accordance with the appropriate compensation function. For example, the variation of centre frequency with temperature may be a reasonably accurately known function supplied by the filter manufacturer and the compensation function may be stored as a look-up table within the integrated circuit. Alternatively, one or more typical samples of the filter 109 may be tested to determine the relationship between centre frequency and temperature and the resulting function or averaged function may be used to generate the compensation function.

It is thus possible to provide a highly integrated monolithic television tuner requiring very few external components and capable of providing acceptable performance with a wide range of types of input signals. The tuner can be programmed for optimum performance with any type of television signal from any source and is capable of complying with the television standards, such as intermediate frequencies, channel spacing and carrier frequency allocations, in use around the world. The very high level of integration results in reduced cost of manufacture and reduced circuit board area

requirement so that the tuner is commercially acceptable even for highly cost-sensitive applications.

CLAIMS:

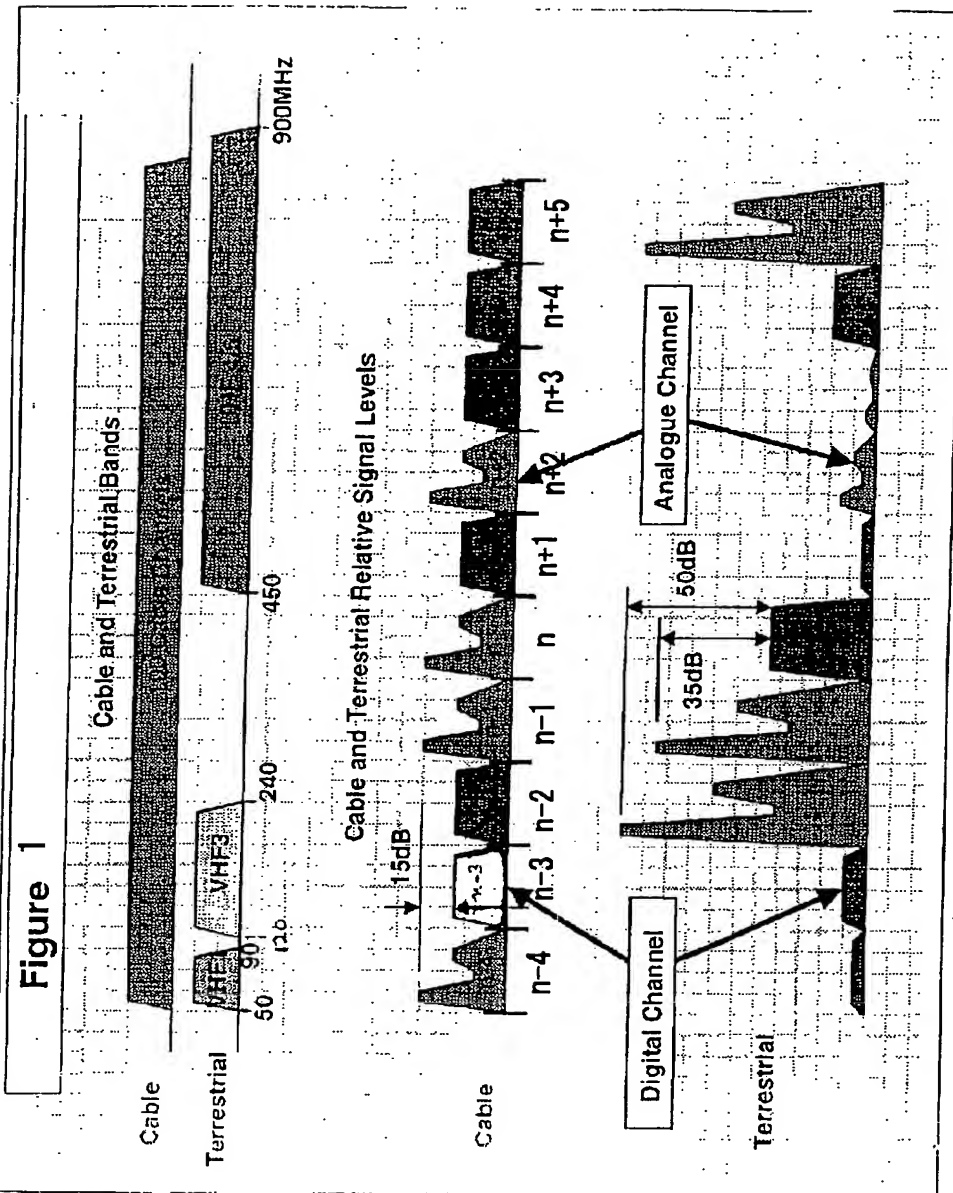
1. A television tuner comprising:
 - a radio frequency input for receiving a broadband input signal containing a plurality of channels;
 - a first frequency changer (105, 108, 110) for converting any selected one of the channels to be within a first frequency band containing a first intermediate frequency;
 - a second frequency changer (111, 114, 116-120) for converting the selected channel from the first frequency changer (108, 110) to be within a second frequency band containing a second intermediate frequency;
 - single channel filtering (124, 125) for passing the selected channel and for substantially rejecting all of the other channels; and
 - a controllable attenuator (102) between the input and the first frequency changer (105, 108, 110), characterised by an automatic gain controller (122) for controlling the attenuator (102) in response to the amplitude of a signal upstream of the single channel filtering (124, 125).
2. A tuner as claimed in claim 1, characterised in that the first and second frequency changers (105, 108, 110, 111, 114, 116-120), the attenuator (102) and the controller (122) are physically located on a single integrated circuit substrate.
3. A tuner as claimed in claim 1 or 1, characterised in that the upstream signal is an input signal to the single channel filtering (124, 125).
4. A tuner as claimed in any one of the preceding claims characterised in that the attenuator (102) is a stepped attenuator.
5. A tuner as claimed in any one of the preceding claims, characterised by a first intermediate frequency filter (106, 109) between the first and second frequency changers (105, 108, 110, 111, 114, 116-120) for passing the selected channel from the first frequency changer (105, 108, 110) and at least one further channel adjacent thereto,

the upstream signal being downstream of the first intermediate frequency filter (106, 109).

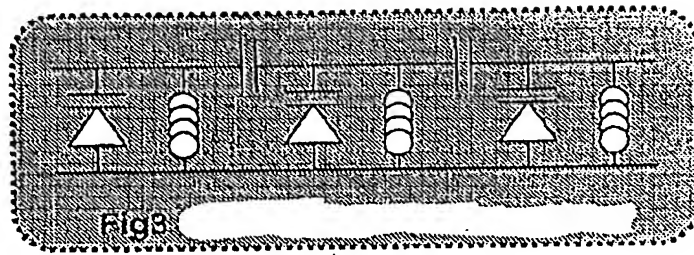
6. A tuner as claimed in claim 5, characterised in that the upstream signal is downstream of the second frequency changer (111, 114, 116-120).
7. A tuner as claimed in claim 5 or 6, characterised by a second intermediate frequency filter (124, 125) downstream of the second frequency changer (111, 114, 116-120).
8. A tuner as claimed in claim 7, characterised in that the second intermediate frequency filter (124, 125) has a frequency response for passing the selected channel from the second frequency changer (111, 114, 116-120) and for substantially rejecting all other channels converted by the second frequency changer (111, 114, 116-120).
9. A tuner as claimed in any one of the preceding claims, characterised by a variable gain amplifier downstream of the second frequency changer (111, 114, 116-120).
10. A tuner as claimed in claim 9 when dependent on claim 2, characterised in that the variable gain amplifier is physically located on the substrate.
11. A tuner as claimed in any one of the preceding claims, characterised by at least one stage having adjustable gain between the attenuator (102) and the single channel filtering (124, 125).
12. A tuner as claimed in claim 11 when dependent on claim 2 or 10, characterised in that the at least one stage is physically located on the substrate.
13. A tuner as claimed in claim 11 or 12, characterised in that the adjustable gain is programmable.

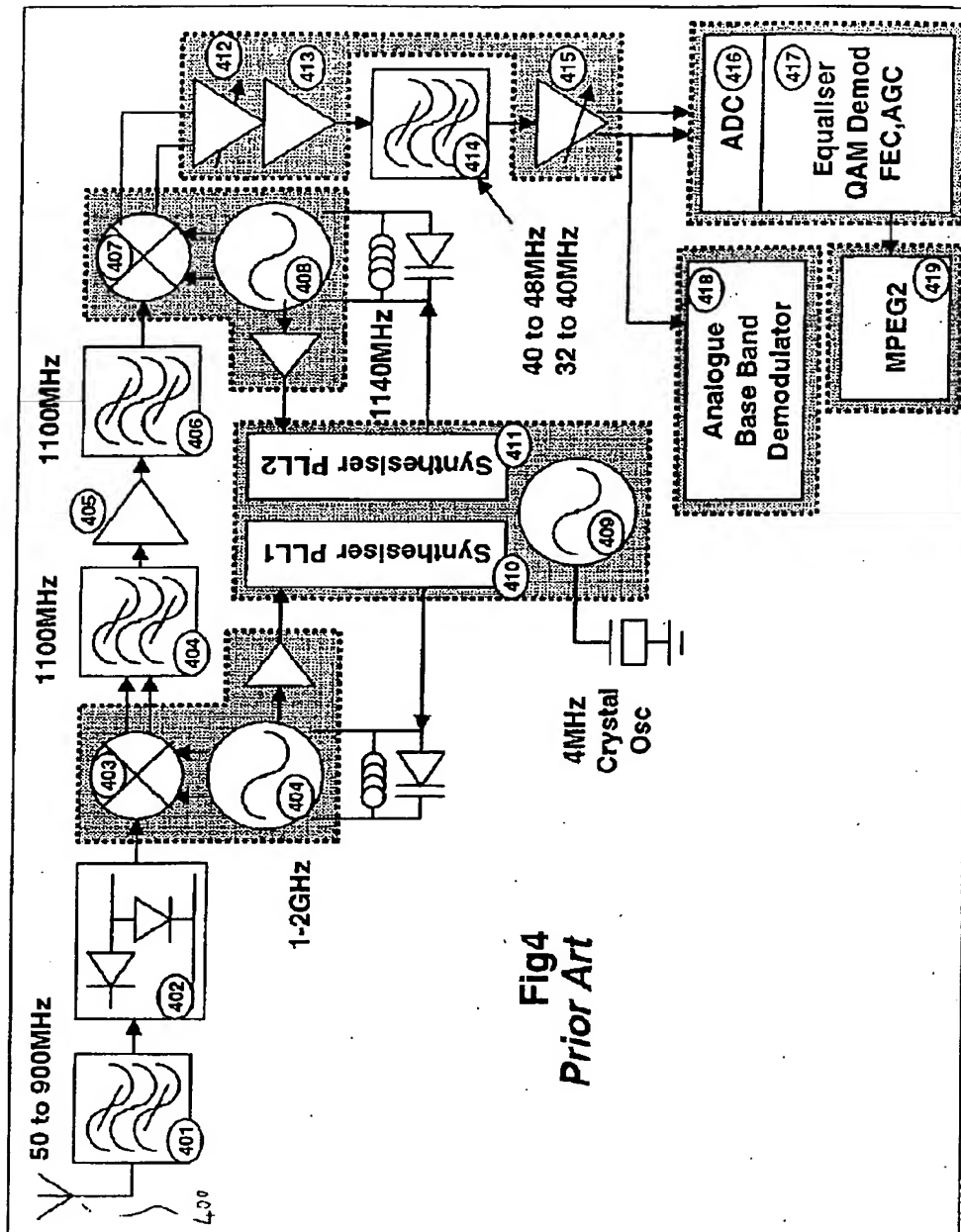
14. A television tuner comprising:
a radio frequency input for receiving a broadband input signal containing a plurality of channels;
a first frequency changer (105, 108, 110) for converting any selected one of the channels to be within a first frequency band containing a first intermediate frequency and comprising a mixer (105), a local oscillator (108), and phase locked loop synthesiser (110); and
a second frequency changer (111, 114, 116-120) for converting the selected channel from the first frequency changer (105, 108, 110) to be within a second frequency band containing a second intermediate frequency,
characterised in that the synthesiser (110) is a hybrid mash sigma delta fractional N phase locked loop synthesiser.
15. A tuner as claimed in claim 14, characterised in that the first and second frequency changers (105, 108, 110, 111, 114, 116-120) are physically located on a single integrated circuit substrate.
16. A tuner as claimed in claim 14 or 15, characterised in that the second frequency changer comprises a mixer (116-120), a local oscillator (114), and a hybrid mash sigma-delta fractional N phase locked loop synthesiser (111).
17. A tuner as claimed in any one of claims 1 to 13, characterised in that the first frequency changer comprises a mixer (105), a local oscillator (108) and a hybrid mash sigma-delta fractional N phase locked loop synthesiser (110).
18. A tuner as claimed in any one of the preceding claims, characterised by a tracking radio frequency filter (104) between the input and the first frequency changer (105, 108, 110) for passing at least the selected channel in the broadband input signal.
19. A tuner as claimed in claim 18, characterised in that the tracking filter (104) is a bandpass filter.

20. A tuner as claimed in claim 18 or 19, characterised in that the tracking filter (104) is a stepped tracking filter.
21. A tuner as claimed in any one of claims 18 to 20, characterised by a tracking low noise amplifier (103) between the input and the tracking filter (104).
22. A tuner as claimed in claim 21, characterised in that the low noise amplifier (103) is a tracking tuned low noise amplifier.
23. A tuner as claimed in any one of the preceding claims, characterised in that the first frequency changer (105, 108, 110) is an up-converter and the second frequency changer (111, 114, 116-120) is a down-converter.
24. A tuner as claimed in claim 23, characterised in that the first frequency changer (105, 108, 110) is arranged to convert the plurality of channels in the broadband signal to a frequency range which is higher than the highest frequency of the broadband signal.
25. A tuner as claimed in any one of the preceding claims, characterised in that the second frequency changer (111, 114, 116-120) comprises an image reject mixer (116-120).
26. A tuner as claimed in any one of the preceding claims, characterised by a plurality of radio frequency inputs and a multiplexer (101) for connecting any selected one of the inputs for supplying a signal to the first frequency changer (105, 108, 110).
27. A tuner as claimed in any one of the preceding claims, characterised in that the first frequency changer (105, 108, 110) comprises an image reject mixer (105).









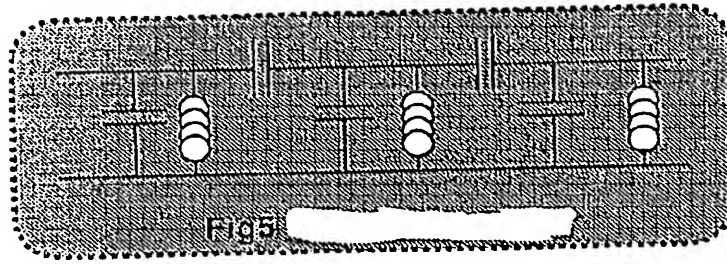


Fig 6

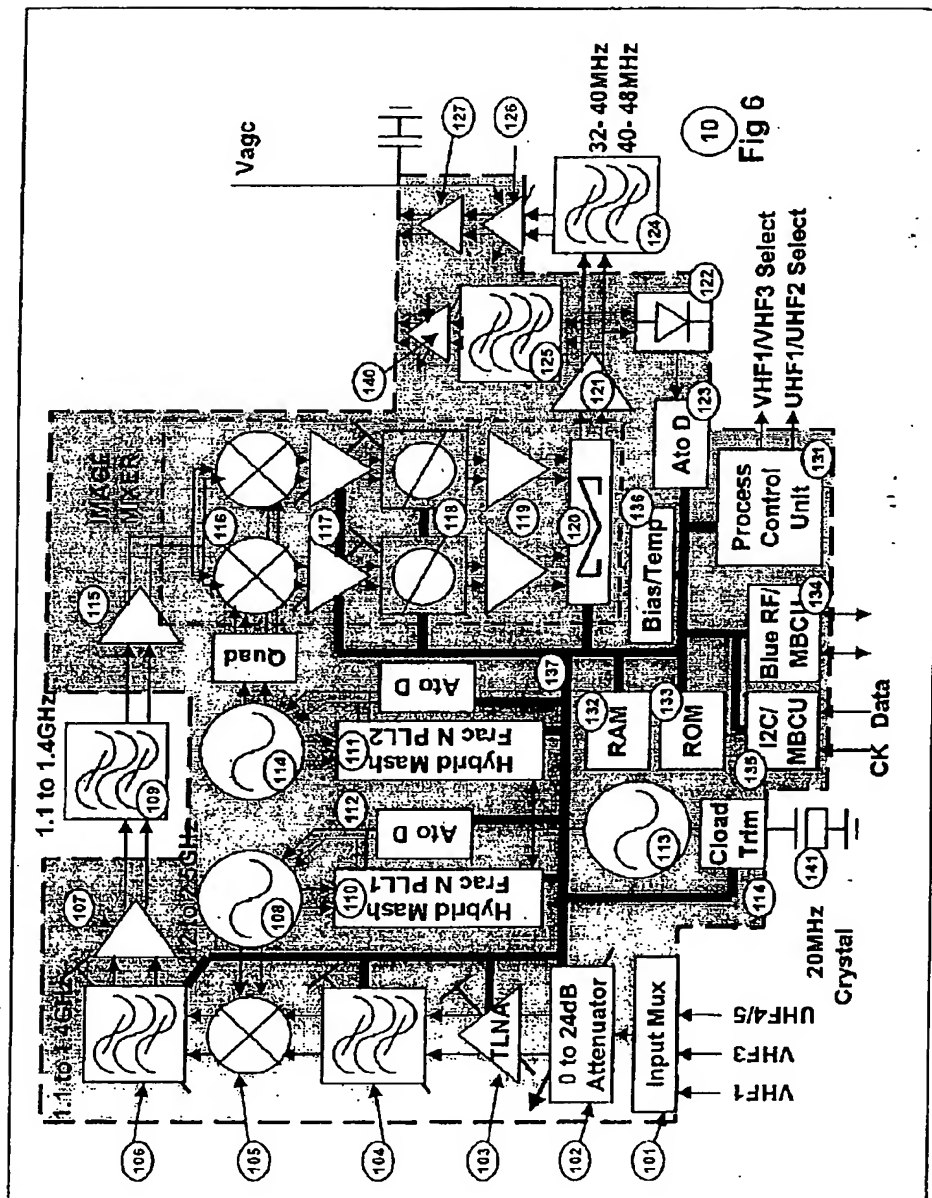


Fig 6

Figure 7:

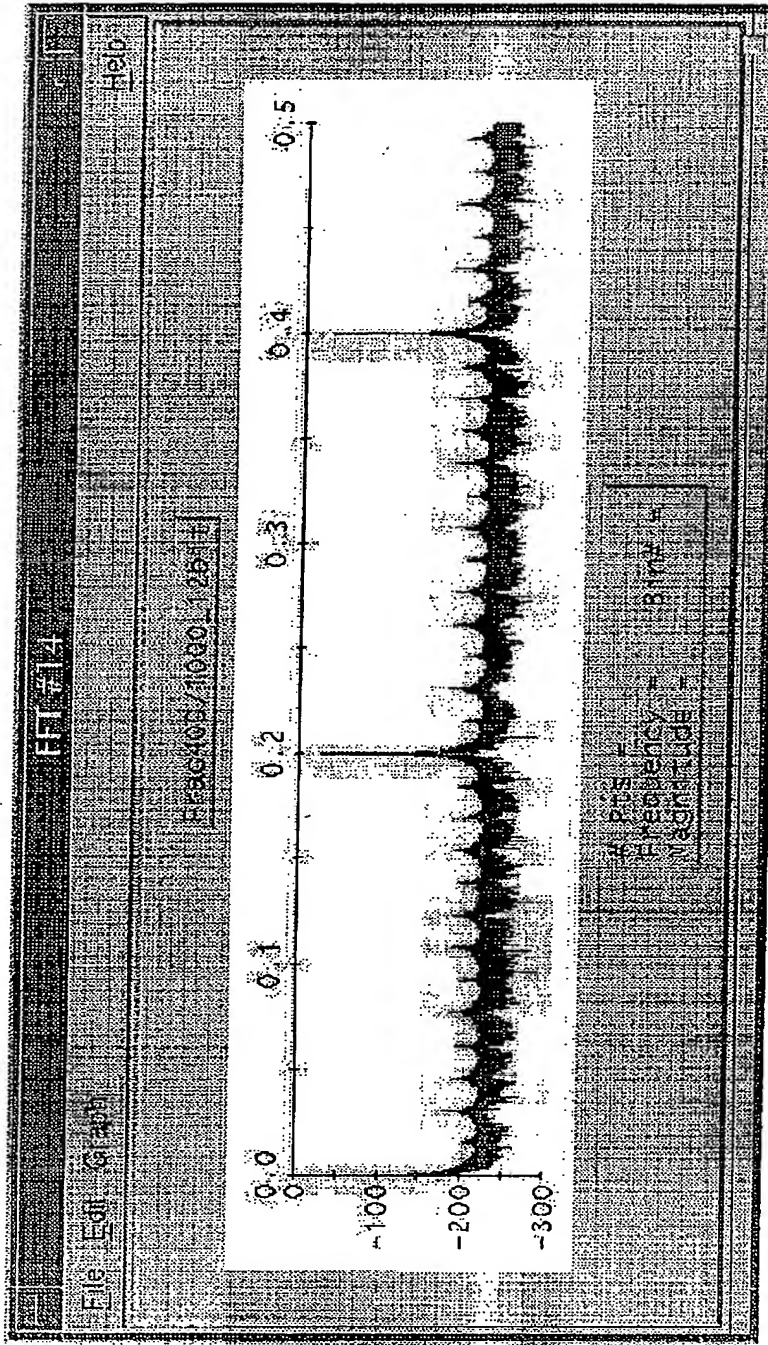
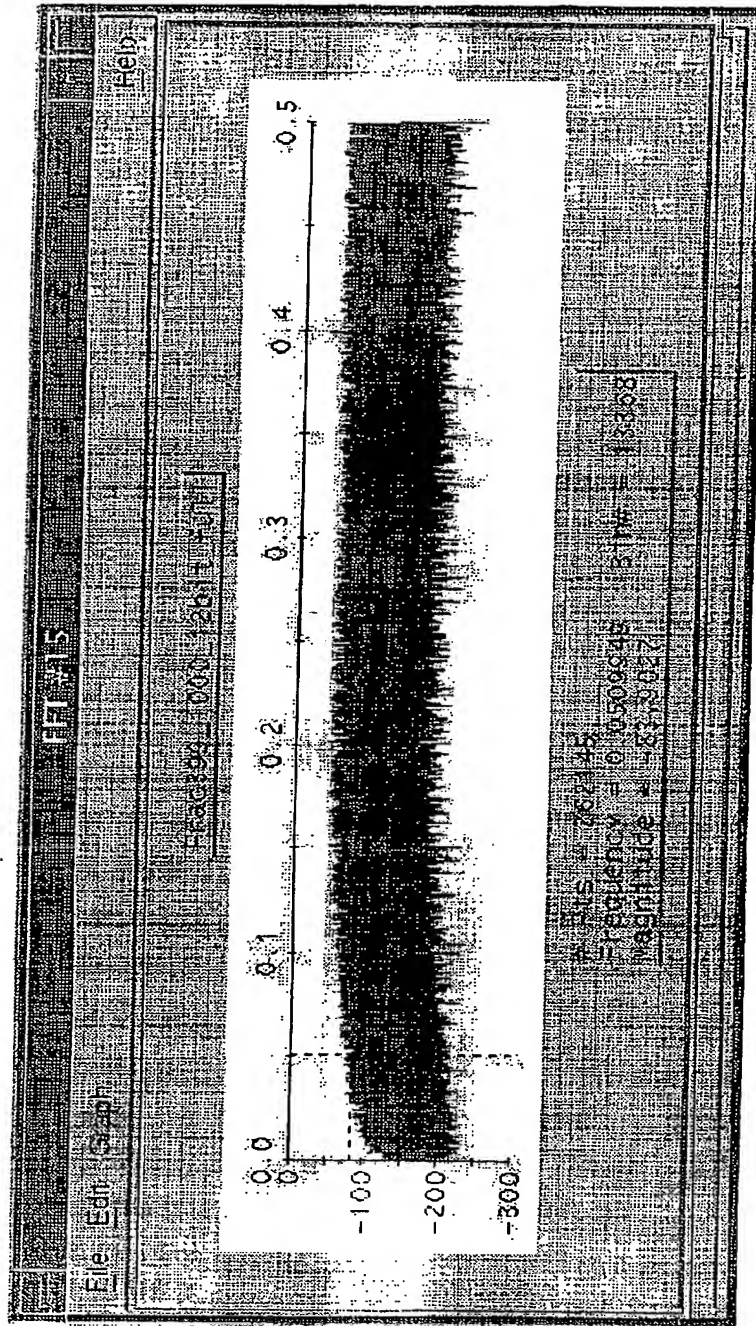


Fig 8



ABSTRACT
TELEVISION TUNER

(Figure 6)

A universal highly integrated television tuner is provided for receiving television signals of many different types and standards from terrestrial or cable sources. The input signals are supplied to an RF attenuator 102 forming part of an automatic gain control loop. A tracking low noise amplifier 103 supplies the signals to a tracking filter 104. The filtered signals are supplied to a first frequency changer 105, 108, 110, which performs up-conversion to a high first intermediate frequency. The resulting signal is filtered before being supplied to a second frequency changer 111-120 performing down-conversion to a conventional second intermediate frequency. The resulting signals are supplied to an automatic gain control detector 122 and to second intermediate frequency filters 124, 125. The detector 122 detects the signal level upstream of the single channel filtering 124, 125. Both frequency changers comprise image reject mixers 105, 116 which receive local oscillator signals from tunable local oscillators 108, 114 controlled by hybrid mash fractional N phase locked loop synthesisers 110, 111.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.